

1/3/2 (Item 2 from file: 351)
DIALOG(R) File 351:Derwent WPI
(c) 2006 Thomson Derwent. All rts. reserv.

014384369 **Image available**
WPI Acc No: 2002-205072/200226
XRAM Acc No: C02-062865
XRPX Acc No: N02-156060

**Semiconductor device for metal oxide semiconductor field effect
transistors, comprises gate electrodes formed via gate insulating films
on convex semiconductor layers**

Patent Assignee: TOSHIBA KK (TOKE)
Inventor: HIEDA K

Number of Countries: 002 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
US 20020011612	A1	20020131	US 2001916509	A	20010730	200226 B
JP 2002118255	A	20020419	JP 2001224740	A	20010725	200243

Priority Applications (No Type Date): JP 2000232165 A 20000731

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
US 20020011612	A1		81	H01L-029/80	
JP 2002118255	A		51	H01L-029/78	

BEST AVAILABLE COPY
SPEC

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-118255

(43)Date of publication of application : 19.04.2002

(51)Int.Cl.

H01L 29/78
H01L 21/8238
H01L 21/8242
H01L 27/092
H01L 27/108
H01L 29/786

(21)Application number : 2001-224740

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 25.07.2001

(72)Inventor : HIEDA KATSUHIKO

(30)Priority

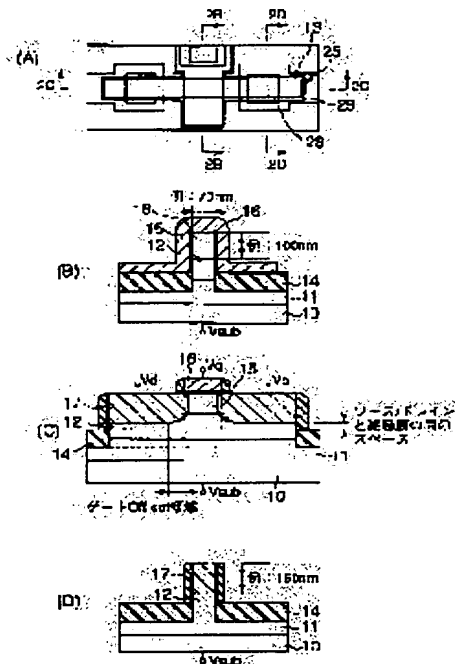
Priority number : 2000232165 Priority date : 31.07.2000 Priority country : JP

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device which has a structure capable of contriving an increase in the performance of the device and uses at least each one part of the side surfaces of projected semiconductor layers as a channel region.

SOLUTION: A semiconductor device is provided with projected semiconductor layers 13, source and drain regions 17 and 17 provided in the layers 13, and a gate electrode 16 which has a sidewall gate part provided in a state that the sidewall gate is insulated from these layers 13 on the side surfaces of the layers 13 and gives a field effect to a channel region between the regions 17 and 17 via at least the side surfaces of the layers 13. The distance between the regions 17 and 17 is changed on the side surfaces of the layers 13.



LEGAL STATUS

[Date of request for examination] 11.03.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-118255

(P2002-118255A)

(43) 公開日 平成14年4月19日 (2002.4.19)

(51) Int.Cl.⁷

識別記号

F I

テームト[®] (参考)

H 0 1 L 29/78
21/8238
21/8242
27/092
27/108

H 0 1 L 29/78

3 0 1 X 5 F 0 4 8

3 0 1 G 5 F 0 8 3

6 1 8 C 5 F 1 1 0

6 1 7 K 5 F 1 4 0

27/08

3 2 1 C

審査請求 未請求 請求項の数43 O L (全 51 頁) 最終頁に続く

(21) 出願番号 特願2001-224740 (P2001-224740)

(22) 出願日 平成13年7月25日 (2001.7.25)

(31) 優先権主張番号 特願2000-232165 (P2000-232165)

(32) 優先日 平成12年7月31日 (2000.7.31)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 稗田 克彦

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

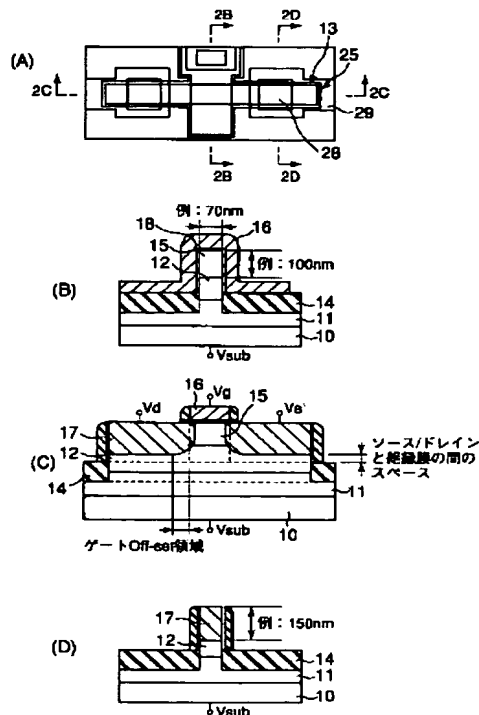
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 高性能化を図ることが可能な構造を持つ、少なくとも凸状半導体層の側面の一部をチャネル領域として使う半導体装置を提供する。

【解決手段】 凸状半導体層13と、凸状半導体層13内に設けられたソース領域17およびドレイン領域17と、凸状半導体層の側面上に、この凸状半導体層13と絶縁された状態で設けられた側壁ゲート部を有し、少なくとも凸状半導体層の側面を介してソース領域17とドレイン領域17との間のチャネル領域に電界効果を与えるゲート電極16とを具備する。そして、ソース領域17とドレイン領域17との間の距離を、凸状半導体層13の側面において変化させる。



1

【特許請求の範囲】

【請求項 1】 基板上に設けられた凸状半導体層と、前記凸状半導体層内に設けられたソース領域およびドレイン領域と、

前記凸状半導体層の側面上に、この凸状半導体層と絶縁された状態で設けられた側壁ゲート部を有し、少なくとも前記凸状半導体層の側面を介して前記ソース領域と前記ドレイン領域との間のチャンネル領域に電界効果を与えるゲート電極と、を具備し、

前記ソース領域と前記ドレイン領域との間の距離が、前記凸状半導体層の互いに相対する 2 つの側面において変化していることを特徴とする半導体装置。

【請求項 2】 基板上に設けられた凸状半導体層と、前記凸状半導体層内に設けられたソース領域およびドレイン領域と、

前記凸状半導体層の側面上に、この凸状半導体層と絶縁された状態で設けられた側壁ゲート部を有し、少なくとも前記凸状半導体層の側面を介して前記ソース領域と前記ドレイン領域との間のチャンネル領域に電界効果を与えるゲート電極と、

前記ゲート電極の側面上、及び前記凸状半導体層の側面上に設けられた側壁絶縁膜とを具備することを特徴とする半導体装置。

【請求項 3】 基板上に設けられた凸状半導体層と、前記凸状半導体層の下部領域の周囲に形成された素子分離絶縁膜と、

前記凸状半導体層内に設けられたソース領域およびドレイン領域と、

前記凸状半導体層の側面上に、この凸状半導体層と絶縁された状態で設けられた側壁ゲート部を有し、少なくとも前記凸状半導体層の側面を介して前記ソース領域と前記ドレイン領域との間の前記チャンネル領域に電界効果を与えるゲート電極と、を具備し、

前記素子分離絶縁膜の上面の位置は、前記凸状半導体層の上面よりも低く、

前記ソース領域およびドレイン領域の最深部の位置は、前記素子分離膜の上面の位置と同じかそれよりも低いことを特徴とする半導体装置。

【請求項 4】 前記ソース領域およびドレイン領域は、前記側壁ゲート部に対してオーバーラップしていることを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】 基板上に設けられ、この基板と電気的に接続された第 1 凸状半導体層と、

前記基板上に設けられ、この基板と電気的に接続された前記第 1 凸状半導体層と同じ幅を持つ第 2 凸状半導体層と、

前記第 1 凸状半導体層内に設けられた第 1 ソース領域および第 1 ドレイン領域と、

前記第 2 凸状半導体層内に設けられた第 2 ソース領域および第 2 ドレイン領域と、

2

前記第 1 凸状半導体層の第 1 側面、及びこの第 1 側面に相対した前記第 2 凸状半導体層の第 2 側面それぞれの上に、これら第 1、第 2 凸状半導体層と絶縁された状態で設けられた側壁ゲート部を有し、少なくとも前記第 1 側面および前記第 2 側面を介して前記第 1 ソース領域と前記第 1 ドレイン領域との間の第 1 チャンネル領域および前記第 2 ソース領域と前記第 2 ドレイン領域との間の第 2 チャンネル領域に電界効果を与えるゲート電極とを具備することを特徴とする半導体装置。

10 【請求項 6】 基板上に設けられ、この基板と電気的に接続された第 1 凸状半導体層と、

前記基板上に設けられ、この基板と電気的に接続された第 2 凸状半導体層と、

前記第 1 凸状半導体層内に設けられた第 1 ソース領域および第 1 ドレイン領域と、

前記第 2 凸状半導体層内に設けられた第 2 ソース領域および第 2 ドレイン領域と、

20 前記第 1 凸状半導体層の側面上に、この第 1 凸状半導体層と絶縁された状態で設けられた第 1 側壁ゲート部を有し、少なくとも前記第 1 凸状半導体層の側面を介して前記第 1 ソース領域および前記第 1 ドレイン領域間の第 1 チャンネル領域に電界効果を与える第 1 ゲート電極と、

前記第 2 凸状半導体層の側面上に、この第 2 凸状半導体層と絶縁された状態で設けられた第 2 側壁ゲート部を有し、少なくとも前記第 2 凸状半導体層の側面を介して前記第 2 ソース領域および前記第 2 ドレイン領域間の第 2 チャンネル領域に電界効果を与える第 2 ゲート電極と、前記第 1 ソース領域と前記第 2 ソース領域とを互いに接続する第 1 配線と、

30 前記第 1 ドレイン領域と前記第 2 ドレイン領域とを互いに接続する第 2 配線と、

前記第 1 ゲート電極と前記第 2 ゲート電極とを互いに接続する第 3 配線とを具備することを特徴とする半導体装置。

【請求項 7】 基板上に設けられた第 1 凸状半導体層と、

前記基板上に設けられた第 2 凸状半導体層と、

前記第 1 凸状半導体層内に設けられたソース領域およびドレイン領域と、

40 前記第 1 凸状半導体層の側面上に、この第 1 凸状半導体層と絶縁された状態で設けられた側壁ゲート部、および前記第 2 凸状半導体層の側面上に、この第 2 凸状半導体層と絶縁された状態で設けられたゲートコンタクト部をそれぞれ有し、少なくとも前記凸状半導体層の側面を介して前記ソース領域と前記ドレイン領域との間のチャンネル領域に電界効果を与えるゲート電極とを具備することを特徴とする半導体装置。

【請求項 8】 基板上に設けられた凸状半導体層と、

50 前記凸状半導体層内に設けられたソース領域およびドレイン領域と、

3

前記凸状半導体層の側面上に、この凸状半導体層と絶縁された状態で設けられた側壁ゲート部、および前記凸状半導体層の上面上に、この凸状半導体層と絶縁された状態で設けられた上面ゲート部を有し、少なくとも前記凸状半導体層の側面を介して前記ソース領域と前記ドレイン領域との間のチャンネル領域に電界効果を与えるゲート電極と、を具備し、
前記側壁ゲート部を構成する導電物は、前記上面ゲート部を構成する導電物と異なることを特徴とする半導体装置。

【請求項 9】 基板上に設けられた凸状半導体層と、
前記凸状半導体層内に設けられたソース領域およびドレイン領域と、
前記凸状半導体層の側面上に、この凸状半導体層と絶縁された状態で設けられた側壁ゲート部、および前記凸状半導体層の上面上に、この凸状半導体層と絶縁された状態で設けられた上面ゲート部を有し、少なくとも前記凸状半導体層の側面を介して前記ソース領域と前記ドレイン領域との間のチャンネル領域に電界効果を与えるゲート電極と、
前記凸状半導体層の上面上で、前記ゲート電極に電気的にコンタクトされる配線とを具備することを特徴とする半導体装置。

【請求項 10】 基板上に設けられた第 1 凸状半導体層と、
前記基板上に設けられた第 2 凸状半導体層と、
前記第 1 凸状半導体層内に設けられた第 1 ソース領域および第 1 ドレイン領域と、
前記第 2 凸状半導体層内に設けられた第 2 ソース領域および第 2 ドレイン領域と、
前記第 1 凸状半導体層の第 1 側面、及びこの第 1 側面に相対した前記第 2 凸状半導体層の第 2 側面それぞれの上に、これら第 1、第 2 凸状半導体層と絶縁された状態で設けられた側壁ゲート部を有し、少なくとも前記第 1 側面および前記第 2 側面を介して前記第 1 ソース領域と前記第 1 ドレイン領域との間の第 1 チャンネル領域および前記第 2 ソース領域と前記第 2 ドレイン領域との間の第 2 チャンネル領域に電界効果を与えるゲート電極と、
前記第 1、第 2 ソース領域どうし、及び前記第 1、第 2 ドレイン領域どうしの少なくともいずれかを互いに接続する、少なくとも 1 つの第 3 凸状半導体層とを具備することを特徴とする半導体装置。

【請求項 11】 基板上に設けられた第 1 凸状半導体層と、
前記基板上に設けられた第 2 凸状半導体層と、
前記第 1 凸状半導体層内に設けられた第 1 導電型の第 1 ソース領域および第 1 ドレイン領域と、
前記第 2 凸状半導体層内に設けられた第 2 導電型の第 2 ソース領域および第 2 ドレイン領域と、
前記第 1 凸状半導体層の側面上に、この第 1 凸状半導体

4

層と絶縁された状態で設けられた第 1 側壁ゲート部を有し、少なくとも前記第 1 凸状半導体層の側面を介して前記第 1 ソース領域および前記第 1 ドレイン領域間の第 1 チャンネル領域に電界効果を与える第 1 ゲート電極と、
前記第 2 凸状半導体層の側面上に、この第 2 凸状半導体層と絶縁された状態で設けられた第 2 側壁ゲート部を有し、少なくとも前記第 2 凸状半導体層の側面を介して前記第 2 ソース領域および前記第 2 ドレイン領域間の第 2 チャンネル領域に電界効果を与える第 2 ゲート電極と、を具備し、
前記第 2 ソース領域および第 2 ドレイン領域の深さは、前記第 1 ソース領域および第 1 ドレイン領域の深さよりも深いことを特徴とする半導体装置。

【請求項 12】 基板上に設けられた第 1 凸状半導体層と、
前記基板上に設けられた第 2 凸状半導体層と、
前記第 1 凸状半導体層内に設けられた第 1 ソース領域および第 1 ドレイン領域と、
前記第 2 凸状半導体層内に互いに離間して設けられ、前記第 1 ソース領域および前記第 1 ドレイン領域と同じ導電型を持つ第 2 ソース領域および第 2 ドレイン領域と、
前記第 1 凸状半導体層の側面上に、この第 1 凸状半導体層と絶縁された状態で設けられた第 1 側壁ゲート部を有し、少なくとも前記第 1 凸状半導体層の側面を介して前記第 1 ソース領域および前記第 1 ドレイン領域間の第 1 チャンネル領域に電界効果を与える第 1 ゲート電極と、
前記第 2 凸状半導体層の側面上に、この第 2 凸状半導体層と絶縁された状態で設けられた第 2 側壁ゲート部を有し、少なくとも前記第 2 凸状半導体層の側面を介して前記第 2 ソース領域および前記第 2 ドレイン領域間の第 2 チャンネル領域に電界効果を与える第 2 ゲート電極と、を具備し、
前記第 2 ソース領域および第 2 ドレイン領域の深さは、前記第 1 ソース領域および第 1 ドレイン領域の深さよりも深いことを特徴とする半導体装置。

【請求項 13】 基板上に設けられた凸状半導体層と、
前記凸状半導体層内に設けられたソース領域およびドレイン領域と、
前記凸状半導体層の側面上に、この凸状半導体層と絶縁された状態で設けられた側壁ゲート部を有し、少なくとも前記凸状半導体層の側面を介して前記ソース領域と前記ドレイン領域との間のチャンネル領域に電界効果を与えるゲート電極と、を具備し、
前記ゲート電極は少なくとも第 1 層、第 2 層を含んで構成され、前記ゲート電極は半導体メモリ装置のワード線を構成することを特徴とする半導体装置。

【請求項 14】 基板上に設けられた凸状半導体層と、
前記凸状半導体層内に設けられたソース領域およびドレイン領域と、
前記凸状半導体層の側面上に、この凸状半導体層と絶縁

5

された状態で設けられた側壁ゲート部を有し、少なくとも前記凸状半導体層の側面を介して前記ソース領域と前記ドレイン領域との間のチャンネル領域に電界効果を与えるゲート電極と、を具備し、

前記ゲート電極は少なくとも第1層、第2層を含んで構成され、前記第1層の上面は平坦であり、前記第2層は、前記第1層の平坦な上面上に設けられることを特徴とする半導体装置。

【請求項15】 基板上に設けられた凸状半導体層と、前記凸状半導体層内に設けられたソース領域およびドレイン領域と、

前記凸状半導体層の側面上に、この凸状半導体層と絶縁された状態で設けられた側壁ゲート部を有し、少なくとも前記凸状半導体層の側面を介して前記ソース領域と前記ドレイン領域との間のチャンネル領域に電界効果を与えるゲート電極と、を具備し、

前記ゲート電極は少なくとも第1層、第2層を含んで構成され、前記第1層の上面はステップを有し、前記第2層は、前記第1層のステップを有した上面上に設けられ、前記第2層の上面は平坦であることを特徴とする半導体装置。

【請求項16】 基板上に設けられ、第1側面、この第1側面に対向した第2側面、第1、第2側面間に位置する第3側面、この第3側面に対向した第4側面、および上面を有する凸状半導体層と、

前記凸状半導体層内に設けられ、それぞれ電氣的コンタクト部を含むソース領域およびドレイン領域と、

前記凸状半導体層の少なくとも第1側面上に、この凸状半導体層と絶縁された状態で設けられた側壁ゲート部を有し、少なくとも前記凸状半導体層の第1側面を介して前記ソース領域と前記ドレイン領域との間のチャンネル領域に電界効果を与えるゲート電極前記ソース領域および前記ドレイン領域間のチャンネル領域に電界効果を与えるゲート電極と、を具備し、

前記電氣的コンタクト部は各々、前記凸状半導体層の第1側面の一部、第2側面の一部、および上面と、第3、第4の側面の一部いずれか一方とに跨ることを特徴とする半導体装置。

【請求項17】 基板上に形成された凸状半導体層と、前記凸状半導体層内に設けられたソース領域およびドレイン領域と、

前記凸状半導体層の側面上に、この凸状半導体層と絶縁された状態で設けられた側壁ゲート部、および前記凸状半導体層の上面上に、この凸状半導体層と絶縁された状態で設けられた上面ゲート部を有し、少なくとも前記凸状半導体層の側面を介して前記ソース領域と前記ドレイン領域との間のチャンネル領域に電界効果を与えるゲート電極と、を具備し、

前記側壁ゲート部のゲート長は、前記上面ゲート部のゲート長よりも短いことを特徴とする半導体装置。

6

【請求項18】 半導体基板をエッチングし、この半導体基板に凸状半導体層を形成する工程と、

少なくとも前記凸状半導体層の側面上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に、少なくとも前記凸状半導体層の側面に沿った部分を持つゲート電極を形成する工程と、前記ゲート電極の側面上、及び前記凸状半導体層の側面上に側壁絶縁膜を形成する工程と、

少なくとも前記ゲート電極および前記側壁絶縁膜をマスクに用いて前記凸状半導体層内に不純物を導入し、前記凸状半導体層内にソース領域およびドレイン領域を形成する工程と、

を具備することを特徴とする半導体装置の製造方法。

【請求項19】 半導体基板上に、開孔を有する絶縁膜を形成する工程と、

前記開孔から露出した半導体基板上に、凸状半導体層を形成する工程と、

少なくとも前記凸状半導体層の側面上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に、少なくとも前記凸状半導体層の側面に沿った部分を持つゲート電極を形成する工程と、

少なくとも前記ゲート電極をマスクに用いて前記凸状半導体層内に不純物を導入し、前記凸状半導体層内にソース領域およびドレイン領域を形成する工程と、

を具備することを特徴とする半導体装置の製造方法。

【請求項20】 前記凸状半導体層は、エピタキシャル成長法によって形成されることを特徴とする請求項19に記載の半導体装置の製造方法。

【請求項21】 基板上に、凸状半導体層を形成する工程と、

前記凸状半導体層の周囲を絶縁物で埋め込む工程と、

前記絶縁物に、側壁ゲート部を形成するための溝を形成する工程と、

少なくとも前記溝から露呈した前記凸状半導体層の側面上にゲート絶縁膜を形成する工程と、

前記溝内に形成された側壁ゲート部を有するゲート電極を形成する工程と、

少なくとも前記ゲート電極をマスクに用いて前記凸状半導体層内に不純物を導入し、前記凸状半導体層内にソース領域およびドレイン領域を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項22】 前記側壁ゲート部は、前記ソース領域およびドレイン領域の一部に対してオフセットしていることを特徴とする請求項1に記載の半導体装置。

【請求項23】 前記基板と前記ソース領域との間、前記基板と前記ドレイン領域との間、及び前記基板と前記チャンネル領域との間それぞれに跨って設けられた、前記チャンネル領域よりも不純物濃度が高い半導体層を、さらに具備することを特徴とする請求項1に記載の半導体装置。

【請求項 24】 前記凸状半導体層の側面上に設けられた第1ゲート絶縁膜、および前記凸状半導体層の上面上に設けられた第2ゲート絶縁膜を具備し、

前記第2ゲート絶縁膜は、前記第1ゲート絶縁膜よりも厚いことを特徴とする請求項1に記載の半導体装置。

【請求項 25】 前記凸状半導体層は、前記基板からこの凸状半導体層の上面に向かって順テーパであることを特徴とする請求項1に記載の半導体装置。

【請求項 26】 前記凸状半導体層の下部領域は、前記基板からこの凸状半導体層の上面に向かって順テーパであることを特徴とする請求項1に記載の半導体装置。

【請求項 27】 前記凸状半導体層の底部コーナーの形状は、ラウンド形状であることを特徴とする請求項1に記載の半導体装置。

【請求項 28】 前記凸状半導体層の上部コーナーの形状は、ラウンド形状であることを特徴とする請求項1に記載の半導体装置。

【請求項 29】 前記凸状半導体層の上部コーナーの角度は、90度を超えることを特徴とする請求項1に記載の半導体装置。

【請求項 30】 前記基板と前記凸状半導体層との間に設けられた絶縁物を、さらに具備し、

前記ソース領域の底部と前記絶縁物の間、及び前記ドレイン領域の底部と前記絶縁物との間それぞれに、前記チャネル領域と同じ導電型の半導体領域があることを特徴とする請求項1に記載の半導体装置。

【請求項 31】 前記凸状半導体層は、アモルファスシリコンであることを特徴とする請求項30に記載の半導体装置。

【請求項 32】 前記ソース領域およびドレイン領域はそれぞれ、電気的コンタクト部を含み、
前記電気的コンタクト部は各々、前記凸状半導体層の側面の一部、この側面に対向した他の側面の一部、および前記凸状半導体層の上面に跨ることを特徴とする請求項1に記載の半導体装置。

【請求項 33】 前記凸状半導体層の側面上に設けられた第1ゲート絶縁膜と、および前記凸状半導体層の上面上に設けられた第2ゲート絶縁膜を具備し、

前記第2ゲート絶縁膜は、前記第1ゲート絶縁膜よりも薄いことを特徴とする請求項1に記載の半導体装置。

【請求項 34】 前記凸状半導体層の側面上に設けられた第1ゲート絶縁膜と、前記凸状半導体層の上面上に設けられた第2ゲート絶縁膜とを具備し、

前記第1ゲート絶縁膜の上部コーナーの形状は、ラウンド形状であることを特徴とする請求項1に記載の半導体装置。

【請求項 35】 前記ソース領域と前記ドレイン領域との間の距離は、前記凸状半導体層の上部から下部に向かって長くなることを特徴とする請求項1に記載の半導体装置。

【請求項 36】 前記ソース領域の不純物濃度、及び前記ドレイン領域の不純物濃度は、前記凸状半導体層の上部から下部に向かって低くなることを特徴とする請求項1に記載の半導体装置。

【請求項 37】 前記側壁ゲート部は、前記凸状半導体層の互いに相対する2つの側面に沿って、前記ソース領域および前記ドレイン領域下まで形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項 38】 前記凸状半導体層の幅は、0.2 μm より小さいことを特徴とする請求項1に記載の半導体装置。

【請求項 39】 前記凸状半導体層の幅は、前記ソース領域の深さおよび前記ドレイン領域の深さより小さいことを特徴とする請求項1に記載の半導体装置。

【請求項 40】 前記ソース領域および前記ドレイン領域の少なくとも一つは、濃い不純物濃度を持つ高濃度拡散層と、前記高濃度拡散層よりも薄い不純物濃度を持つ低濃度拡散層との2種類の拡散層を少なくとも含むことを特徴とする請求項1に記載の半導体装置。

【請求項 41】 前記凸状半導体層は、前記基板に電気的に接続されていることを特徴とする請求項1に記載の半導体装置。

【請求項 42】 前記基板は、導電性であることを特徴とする請求項1に記載の半導体装置。

【請求項 43】 前記側壁ゲート部と前記凸状半導体層の互いに相対する2つの側面それぞれとの間に設けられたゲート絶縁膜を、さらに具備し、

前記ゲート絶縁膜は、Ta、Sr、Al、Si、Zr、Hf、LaおよびTiの少なくともいずれか1つを含む酸化物からなることを特徴とする請求項1に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、この発明は、MOS型トランジスタ構造に関し、特に基板にはほぼ垂直な凸状の半導体層において両側の側面にゲート絶縁膜を介して形成したゲート電極を持ち、ソース／ドレイン領域の深さによりチャネル幅が決定されるMOS型トランジスタ構造とその製造方法に使用されるものである。

【0002】

【従来の技術】MOS型構造を有する半導体デバイスでは、MOSFETの高性能化が大きな課題である。MOSFETの高性能化とは、(1)駆動電流の増加、(2)しきい値バラツキの低減、(3)寄生抵抗／寄生容量の低減、(4)カットオフ特性の向上、等を示している。駆動電流を増加させるには、ゲート寸法(チャネル寸法、ゲート長とも言う)を短くして達成してきた。しかし、ショートチャネル化すると、ショートチャネル効果が増大して来ると言う問題もある。

【0003】ショートチャネル効果を抑えるために、ゲ

ート酸化膜の膜厚をできるだけ薄くしたり、チャネル部の不純物濃度を 10^8cm^{-3} 程度まで高濃度化したりして、ソース、ドレイン間のパンチスルーを防止する努力が行われてきた。しかし、信頼性を保証できる最大許容電界(E_{max})による制限から、ゲート酸化膜の膜厚を最大許容電界以上に薄くできない。

【0004】また、過度のチャネル不純物濃度の高濃度化は、チャネルの高濃度不純物の散乱によるドレイン電流の飽和をもたらす、ショートチャネル化してもドレイン電流が増加しないという問題が顕著になってきている。

【0005】さらに、微細化に伴い、ゲート電極の高抵抗化やソース/ドレインの寄生抵抗の増加が問題となってきた。その上さらに、ソース、ドレイン間のパンチスルーが起こりやすくなっているため、サブスレッショルド領域においてリーク電流が増加し、カットオフ特性が劣化してきている。

【0006】このような問題を解決するために、Si基板ほぼ垂直に凸型の直方体を形成し、その両側面をチャネル領域として使う構造が提案されている。

【0007】例えばIEDM Technical Digest pp. 736-739 (1987) (K. Hieda 他)に開示されているように、STI (Shallow Trench Isolation) 分離した側面を少し露出し、側面をチャネル領域として使用する構造がある(図79)。

【0008】この文献には、チャネル幅が小さく($< 0.3\mu\text{m}$)なってくると側面のゲート電極の影響で両側のチャネル領域の空乏層は互いに接触し、平面部よりもコーナーを含む側面部の影響が大きくなり、カットオフ特性が向上するなどの特徴が示されている。しかし、ショートチャネル効果の抑制等についての説明は示されていない。

【0009】また、例えばIEDM Technical Digest pp. 833-836 (1989) (D. Hisamoto 他)に開示されているように、Si基板をRIEし、細長い凸状のフェンスを形成し、その下部を酸化してSOI構造を作り、両側面のゲート電極を形成している構造が提案されている(図80)。

【0010】この場合もチャネル幅が小さく($< 0.2\mu\text{m}$)なってくると側面のゲート電極の影響で両側のチャネル領域の空乏層は互いに接触し、チャネル領域では完全に空乏化した状態が作られる。即ち、薄膜SOI構造における完全空乏化と同じ状況がSi基板で実現できている。しかし、この構造はSOI構造となっていて、基板バイアスを印加することができない構造であり、ソース/ドレインとゲート電極の位置関係については記述されていない。

【0011】また、例えばIEDM Technical Digest pp. 1032-1034 (199

8) (D. Hisamoto 他)に開示されているように、SOI基板を用いたフィン型の構造が提案されている(図81)。

【0012】この文献では、20nm程度のSiフィン(Fin)を形成することで、30nm程度のチャネル長までショートチャネル効果が抑えられることが示されている。しかし、SOI構造のため、図80と同じように基板バイアスを印加することができない構造である。また、SOI層の膜厚バラツキがMOSFET特性バラツキに直接、影響を与える構造である。

【0013】これら文献に開示されたデバイスでは、カットオフ特性の改善やショートチャネル効果の抑制は実現できているが、基板バイアスを印加することができないため、完全空乏化したチャネルを持つ薄膜SOIのトランジスタの場合と同じように蓄積ホール(Nチャネルの場合)の影響によるソース/ドレイン耐圧の劣化が問題となる。

【0014】

【発明が解決しようとする課題】この発明は、上記実状に鑑みてなされたもので、その目的は、高性能化を図ることが可能な構造を持つ、少なくとも凸状半導体層の側面の一部をチャネル領域として使う半導体装置と、その製造方法を提供することにある。

【0015】

【課題を解決するための手段】この発明に係る半導体装置の第1態様では、基板上に設けられた凸状半導体層と、前記凸状半導体層内に設けられたソース領域およびドレイン領域と、前記凸状半導体層の側面上に、この凸状半導体層と絶縁された状態で設けられた側壁ゲート部を有し、少なくとも前記凸状半導体層の側面を介して前記ソース領域と前記ドレイン領域との間のチャネル領域に電界効果を与えるゲート電極と、を具備し、前記ソース領域と前記ドレイン領域との間の距離が、前記凸状半導体層の互いに相対する2つの側面において変化している。

【0016】この発明に係る半導体装置の第2態様では、基板上に設けられた凸状半導体層と、前記凸状半導体層内に設けられたソース領域およびドレイン領域と、前記凸状半導体層の側面上に、この凸状半導体層と絶縁された状態で設けられた側壁ゲート部を有し、少なくとも前記凸状半導体層の側面を介して前記ソース領域と前記ドレイン領域との間のチャネル領域に電界効果を与えるゲート電極と、前記ゲート電極の側面上、及び前記凸状半導体層の側面上に設けられた側壁絶縁膜とを具備する。

【0017】この発明に係る半導体装置の第3態様では、基板上に設けられた凸状半導体層と、前記凸状半導体層の下部領域の周囲に形成された素子分離絶縁膜と、前記凸状半導体層内に設けられたソース領域およびドレイン領域と、前記凸状半導体層の側面上に、この凸状半

導体層と絶縁された状態で設けられた側壁ゲート部を有し、少なくとも前記凸状半導体層の側面を介して前記ソース領域と前記ドレイン領域との間の前記チャンネル領域に電界効果を与えるゲート電極と、を具備し、前記素子分離絶縁膜の上面の位置は、前記凸状半導体層の上面よりも低く、前記ソース領域およびドレイン領域の最深部の位置は、前記素子分離膜の上面の位置と同じかそれよりも低い。

【0018】この発明に係る半導体装置の第4態様では、基板上に設けられ、この基板と電気的に接続された第1凸状半導体層と、前記基板上に設けられ、この基板と電気的に接続された前記第1凸状半導体層と同じ幅を持つ第2凸状半導体層と、前記第1凸状半導体層内に設けられた第1ソース領域および第1ドレイン領域と、前記第2凸状半導体層内に設けられた第2ソース領域および第2ドレイン領域と、前記第1凸状半導体層の第1側面、及びこの第1側面に相対した前記第2凸状半導体層の第2側面それぞれの上に、これら第1、第2凸状半導体層と絶縁された状態で設けられた側壁ゲート部を有し、少なくとも前記第1側面および前記第2側面を介して前記第1ソース領域と前記第1ドレイン領域との間の第1チャンネル領域および前記第2ソース領域と前記第2ドレイン領域との間の第2チャンネル領域に電界効果を与えるゲート電極とを具備する。

【0019】この発明に係る半導体装置の第5態様では、基板上に設けられ、この基板と電気的に接続された第1凸状半導体層と、前記基板上に設けられ、この基板と電気的に接続された第2凸状半導体層と、前記第1凸状半導体層内に設けられた第1ソース領域および第1ドレイン領域と、前記第2凸状半導体層内に設けられた第2ソース領域および第2ドレイン領域と、前記第1凸状半導体層の側面上に、この第1凸状半導体層と絶縁された状態で設けられた第1側壁ゲート部を有し、少なくとも前記第1凸状半導体層の側面を介して前記第1ソース領域および前記第1ドレイン領域間の第1チャンネル領域に電界効果を与える第1ゲート電極と、前記第2凸状半導体層の側面上に、この第2凸状半導体層と絶縁された状態で設けられた第2側壁ゲート部を有し、少なくとも前記第2凸状半導体層の側面を介して前記第2ソース領域および前記第2ドレイン領域間の第2チャンネル領域に電界効果を与える第2ゲート電極と、前記第1ソース領域と前記第2ソース領域とを互いに接続する第1配線と、前記第1ドレイン領域と前記第2ドレイン領域とを互いに接続する第2配線と、前記第1ゲート電極と前記第2ゲート電極とを互いに接続する第3配線とを具備する。

【0020】この発明に係る半導体装置の第6態様では、基板上に設けられた第1凸状半導体層と、前記基板上に設けられた第2凸状半導体層と、前記第1凸状半導体層内に設けられたソース領域およびドレイン領域と、

前記第1凸状半導体層の側面上に、この第1凸状半導体層と絶縁された状態で設けられた側壁ゲート部、および前記第2凸状半導体層の側面上に、この第2凸状半導体層と絶縁された状態で設けられたゲートコンタクト部をそれぞれ有し、少なくとも前記凸状半導体層の側面を介して前記ソース領域と前記ドレイン領域との間のチャンネル領域に電界効果を与えるゲート電極とを具備する。

【0021】この発明に係る半導体装置の第7態様では、基板上に設けられた凸状半導体層と、前記凸状半導体層内に設けられたソース領域およびドレイン領域と、前記凸状半導体層の側面上に、この凸状半導体層と絶縁された状態で設けられた側壁ゲート部、および前記凸状半導体層の側面上に、この凸状半導体層と絶縁された状態で設けられた上面ゲート部を有し、少なくとも前記凸状半導体層の側面を介して前記ソース領域と前記ドレイン領域との間のチャンネル領域に電界効果を与えるゲート電極と、を具備し、前記側壁ゲート部を構成する導電物は、前記上面ゲート部を構成する導電物と異なる。

【0022】この発明に係る半導体装置の第8態様では、基板上に設けられた凸状半導体層と、前記凸状半導体層内に設けられたソース領域およびドレイン領域と、前記凸状半導体層の側面上に、この凸状半導体層と絶縁された状態で設けられた側壁ゲート部、および前記凸状半導体層の側面上に、この凸状半導体層と絶縁された状態で設けられた上面ゲート部を有し、少なくとも前記凸状半導体層の側面を介して前記ソース領域と前記ドレイン領域との間のチャンネル領域に電界効果を与えるゲート電極と、前記凸状半導体層の側面上で、前記ゲート電極に電気的にコンタクトされる配線とを具備する。

【0023】この発明に係る半導体装置の第9態様では、基板上に設けられた第1凸状半導体層と、前記基板上に設けられた第2凸状半導体層と、前記第1凸状半導体層内に設けられた第1ソース領域および第1ドレイン領域と、前記第2凸状半導体層内に設けられた第2ソース領域および第2ドレイン領域と、前記第1凸状半導体層の第1側面、及びこの第1側面に相対した前記第2凸状半導体層の第2側面それぞれの上に、これら第1、第2凸状半導体層と絶縁された状態で設けられた側壁ゲート部を有し、少なくとも前記第1側面および前記第2側面を介して前記第1ソース領域と前記第1ドレイン領域との間の第1チャンネル領域および前記第2ソース領域と前記第2ドレイン領域との間の第2チャンネル領域に電界効果を与えるゲート電極と、前記第1、第2ソース領域どうし、及び前記第1、第2ドレイン領域どうしの少なくともいずれかを互いに接続する、少なくとも1つの第3凸状半導体層とを具備する。

【0024】この発明に係る半導体装置の第10態様では、基板上に設けられた第1凸状半導体層と、前記基板上に設けられた第2凸状半導体層と、前記第1凸状半導体層内に設けられた第1導電型の第1ソース領域および

第1ドレイン領域と、前記第2凸状半導体層内に設けられた第2導電型の第2ソース領域および第2ドレイン領域と、前記第1凸状半導体層の側面上に、この第1凸状半導体層と絶縁された状態で設けられた第1側壁ゲート部を有し、少なくとも前記第1凸状半導体層の側面を介して前記第1ソース領域および前記第1ドレイン領域間の第1チャンネル領域に電界効果を与える第1ゲート電極と、前記第2凸状半導体層の側面上に、この第2凸状半導体層と絶縁された状態で設けられた第2側壁ゲート部を有し、少なくとも前記第2凸状半導体層の側面を介して前記第2ソース領域および前記第2ドレイン領域間の第2チャンネル領域に電界効果を与える第2ゲート電極と、を具備し、前記第2ソース領域および第2ドレイン領域の深さは、前記第1ソース領域および第1ドレイン領域の深さよりも深い。

【0025】この発明に係る半導体装置の第11態様では、基板上に設けられた第1凸状半導体層と、前記基板上に設けられた第2凸状半導体層と、前記第1凸状半導体層内に設けられた第1ソース領域および第1ドレイン領域と、前記第2凸状半導体層内に互いに離間して設けられ、前記第1ソース領域および前記第1ドレイン領域と同じ導電型を持つ第2ソース領域および第2ドレイン領域と、前記第1凸状半導体層の側面上に、この第1凸状半導体層と絶縁された状態で設けられた第1側壁ゲート部を有し、少なくとも前記第1凸状半導体層の側面を介して前記第1ソース領域および前記第1ドレイン領域間の第1チャンネル領域に電界効果を与える第1ゲート電極と、前記第2凸状半導体層の側面上に、この第2凸状半導体層と絶縁された状態で設けられた第2側壁ゲート部を有し、少なくとも前記第2凸状半導体層の側面を介して前記第2ソース領域および前記第2ドレイン領域間の第2チャンネル領域に電界効果を与える第2ゲート電極と、を具備し、前記第2ソース領域および第2ドレイン領域の深さは、前記第1ソース領域および第1ドレイン領域の深さよりも深い。

【0026】この発明に係る半導体装置の第12態様では、基板上に設けられた凸状半導体層と、前記凸状半導体層内に設けられたソース領域およびドレイン領域と、前記凸状半導体層の側面上に、この凸状半導体層と絶縁された状態で設けられた側壁ゲート部を有し、少なくとも前記凸状半導体層の側面を介して前記ソース領域と前記ドレイン領域との間のチャンネル領域に電界効果を与えるゲート電極と、を具備し、前記ゲート電極は少なくとも第1層、第2層を含んで構成され、前記ゲート電極は半導体メモリ装置のワード線を構成する。

【0027】この発明に係る半導体装置の第13態様では、基板上に設けられた凸状半導体層と、前記凸状半導体層内に設けられたソース領域およびドレイン領域と、前記凸状半導体層の側面上に、この凸状半導体層と絶縁された状態で設けられた側壁ゲート部を有し、少なくと

も前記凸状半導体層の側面を介して前記ソース領域と前記ドレイン領域との間のチャンネル領域に電界効果を与えるゲート電極と、を具備し、前記ゲート電極は少なくとも第1層、第2層を含んで構成され、前記第1層の上面は平坦であり、前記第2層は、前記第1層の平坦な上面上に設けられる。

【0028】この発明に係る半導体装置の第14態様では、基板上に設けられた凸状半導体層と、前記凸状半導体層内に設けられたソース領域およびドレイン領域と、前記凸状半導体層の側面上に、この凸状半導体層と絶縁された状態で設けられた側壁ゲート部を有し、少なくとも前記凸状半導体層の側面を介して前記ソース領域と前記ドレイン領域との間のチャンネル領域に電界効果を与えるゲート電極と、を具備し、前記ゲート電極は少なくとも第1層、第2層を含んで構成され、前記第1層の上面はステップを有し、前記第2層は、前記第1層のステップを有した上面上に設けられ、前記第2層の上面は平坦である。

【0029】この発明に係る半導体装置の第15態様では、基板上に設けられ、第1側面、この第1側面に対向した第2側面、第1、第2側面間に位置する第3側面、この第3側面に対向した第4側面、および上面を有する凸状半導体層と、前記凸状半導体層内に設けられ、それぞれ電気的コンタクト部を含むソース領域およびドレイン領域と、前記凸状半導体層の少なくとも第1側面上に、この凸状半導体層と絶縁された状態で設けられた側壁ゲート部を有し、少なくとも前記凸状半導体層の第1側面を介して前記ソース領域と前記ドレイン領域との間のチャンネル領域に電界効果を与えるゲート電極前記ソース領域および前記ドレイン領域間のチャンネル領域に電界効果を与えるゲート電極と、を具備し、前記電気的コンタクト部は各々、前記凸状半導体層の第1側面の一部、第2側面の一部、および上面と、第3、第4の側面の一部いずれか一方とに跨る。

【0030】この発明に係る半導体装置の第16態様では、基板上に形成された凸状半導体層と、前記凸状半導体層内に設けられたソース領域およびドレイン領域と、前記凸状半導体層の側面上に、この凸状半導体層と絶縁された状態で設けられた側壁ゲート部、および前記凸状半導体層の側面上に、この凸状半導体層と絶縁された状態で設けられた上面ゲート部を有し、少なくとも前記凸状半導体層の側面を介して前記ソース領域と前記ドレイン領域との間のチャンネル領域に電界効果を与えるゲート電極と、を具備し、前記側壁ゲート部のゲート長は、前記上面ゲート部のゲート長よりも短い。

【0031】この発明に係る半導体装置の製造方法の第1態様では、半導体基板をエッチングし、この半導体基板に凸状半導体層を形成する工程と、少なくとも前記凸状半導体層の側面上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に、少なくとも前記凸状半導体層の

側面に沿った部分を持つゲート電極を形成する工程と、前記ゲート電極の側面上、及び前記凸状半導体層の側面上に側壁絶縁膜を形成する工程と、少なくとも前記ゲート電極および前記側壁絶縁膜をマスクに用いて前記凸状半導体層内に不純物を導入し、前記凸状半導体層内にソース領域およびドレイン領域を形成する工程とを具備する。

【0032】この発明に係る半導体装置の製造方法の第2態様では、半導体基板上に、開孔を有する絶縁膜を形成する工程と、前記開孔から露出した半導体基板上に、凸状半導体層を形成する工程と、少なくとも前記凸状半導体層の側面上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に、少なくとも前記凸状半導体層の側面に沿った部分を持つゲート電極を形成する工程と、少なくとも前記ゲート電極をマスクに用いて前記凸状半導体層内に不純物を導入し、前記凸状半導体層内にソース領域およびドレイン領域を形成する工程とを具備する。

【0033】この発明に係る半導体装置の製造方法の第3態様では、基板上に、凸状半導体層を形成する工程と、前記凸状半導体層の周囲を絶縁物で埋め込む工程と、前記絶縁物に、側壁ゲート部を形成するための溝を形成する工程と、少なくとも前記溝から露出した前記凸状半導体層の側面上にゲート絶縁膜を形成する工程と、前記溝内に形成された側壁ゲート部を有するゲート電極を形成する工程と、少なくとも前記ゲート電極をマスクに用いて前記凸状半導体層内に不純物を導入し、前記凸状半導体層内にソース領域およびドレイン領域を形成する工程とを具備する。

【0034】

【発明の実施の形態】以下、この発明の実施形態を、図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0035】（第1実施形態）図1はこの発明の第1実施形態に係るMOSFETを示す斜視図、図2Aはその平面図、図2Bは図2A中の2B-2B線に沿う断面図、図2Cは図2A中の2C-2C線に沿う断面図、図2Dは図2A中の2D-2D線に沿う断面図である。なお、図1、図2B～図2Dでは、図2Aに示す層間絶縁膜、コンタクトおよび配線をそれぞれ省略している。

【0036】図1、図2A～図2Dに示すように、P型Si（シリコン）基板10のトランジスタ形成領域にはP型ウェル11が形成されている。P型Si基板10は、例えば $5 \times 10^{15} \text{ cm}^{-3}$ 程度の不純物濃度を持ち、その主面の面方位は（100）である。P型ウェル11中のトランジスタ・チャネル形成領域には、例えば $5 \times 10^{17} \text{ cm}^{-3}$ 程度の不純物濃度を持つP型高濃度不純物層（以下パンチスルー・ストッパー層）12が形成されている。このパンチスルー・ストッパー層12は必要に応じて形成されるものであり、省略することも可能である。

【0037】Si基板10上には、凸状薄膜Si（シリコン）層13が形成されている（以下、フェンス13と呼ぶ）。フェンス13の一設計例は、高さ約250nm、幅約70nm、長さ約440nmである。本例のフェンス13の下部領域には、例えばP型ウェル11の上部、およびパンチスルー・ストッパー層12がそれぞれ含まれている。そして、この下部領域の周辺には、素子分離用の素子分離絶縁膜（シリコン酸化膜）14が形成されている。

10 【0038】フェンス13内のパンチスルー・ストッパー層12上には、チャネル不純物層（チャネル領域）15が形成されている。チャネル不純物層15には、MOSFETのしきい値電圧が所望の値になるように、不純物がドーブされている。

【0039】フェンス13の長辺方向（長さ方向）には、ゲート電極16を挟んでソース／ドレイン領域17が形成されている。ゲート電極16は、フェンス13の両側面にゲート絶縁膜18を介して、フェンス13の段差を乗り越えるように形成されている。チャネル幅（ W_g ）は、フェンス13の短辺方向の幅で決まる。また、ゲート長（ L_g ）は、ゲート電極16の長さによって主に決まる。但し、実効チャネル長は、ゲート電極16のフェンス13の側面におけるソース／ドレイン領域17の距離によって決まるものである。

【0040】さらにゲート電極16は、素子分離絶縁膜14上と、フェンス13の両側面と上面とに形成されており、これら側面および上面において、ソース／ドレイン領域17の一部、チャネル領域15、およびパンチスルー・ストッパー層12の一部を覆うように形成されている。

【0041】次に、第1実施形態に係るMOSFETの製造方法の一例を、図3から図11の工程断面図を用いて説明する。なお、図3A～図11Aに示す断面は図2Bに示す断面に対応し、図3B～図11Bに示す断面は図2Cに示す断面に対応している。

【0042】まず、図3A、図3Bに示すように、P型Si基板10を用意する。このP型Si基板10は、例えば $5 \times 10^{15} \text{ cm}^{-3}$ 程度の不純物濃度を持ち、その主面の面方位は、例えば（100）である。

40 【0043】P型Si基板10にNチャネル型MOSFET（以下NMOS）を形成する場合、例えばボロンイオン（ B^+ ）を、加速電圧260KeV、ドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ 程度の条件により、P型Si基板10のトランジスタ・チャネル形成領域にイオン注入する。これにより、例えば $4 \times 10^{17} \text{ cm}^{-3}$ 程度のピーク濃度を持つP型ウェル11が、P型Si基板10内に形成される。

50 【0044】また、P型Si基板10にPチャネル型MOSFET（以下PMOS）を形成する場合には、N型ウェル（図示せず）を、P型Si基板10のトランジスタ

タ・チャネル形成領域に形成する。

【0045】次に、レジスト膜（図示せず）をマスクに用いて、例えばボロンイオン（ B^+ ）を、P型ウェル11内にイオン注入する。これにより、例えば $2 \times 10^{18} \text{ cm}^{-3}$ 程度のピーク濃度を持つ高濃度不純物層12が、P型ウェル11内に形成される。高濃度不純物層12は、パンチスルー・ストッパー層として機能する。

【0046】なお、これらのイオン注入工程時、P型Si基板10の表面に、例えば8nm程度の膜厚を持つ酸化膜（図示せず）を形成しておくことが好ましい。酸化膜を形成しておくことにより、上記レジスト膜（図示せず）からのP型Si基板10への汚染、例えばメタル汚染を防止することができる。

【0047】また、注入されたイオンの活性化には、例えば900℃、窒素（ N_2 ）雰囲気中で5分程度のRTA（Rapid Thermal Anneal）を用いる。これにより、急峻なプロファイルを持つP型高濃度不純物層12を形成することができる。

【0048】次に、別のレジスト膜（図示せず）をマスクに用いて、所望の導電型の不純物イオンを、P型Si基板10のトランジスタ・チャネル形成領域を含む領域に注入する。これにより、チャネル不純物層15が、トランジスタ・チャネル形成領域に形成される。このとき、チャネル不純物層15は、不純物イオンを、トランジスタ・チャネル形成領域にのみ選択的にイオン注入することで形成しても良い。形成されるMOSFETがNMOSで、このNMOSのしきい値電圧（ V_{th} ）を、例えば0.7V程度に設定したいとき、例えばボロンイオン（ B^+ ）を、加速電圧20KeV、 $5 \times 10^{12} \text{ cm}^{-2}$ 程度の条件により、トランジスタ・チャネル形成領域にイオン注入する。このイオン注入は、酸化膜（図示せず）を通して行なう。これにより、P型チャネル不純物層15が、トランジスタ・チャネル形成領域に形成される。また、P型チャネル不純物層15は、チャネルとなる領域において、選択的に均一なプロファイルとなるように形成される。このP型チャネル不純物層15の活性化には、例えばRTAが用いられても良い。RTAの条件の一例は、温度750℃で10秒程度である。

【0049】次に、上記酸化膜（図示せず）を除去した後、再度、P型Si基板10の表面上に、5nm程度の膜厚を持つ SiO_2 層20、20nm程度の膜厚を持つマスク層（ SiN ）21、及び20nm程度の膜厚を持つマスク層（ SiO_2 ）22を順次形成する。この後、リソグラフィとRIEとを用いて、 SiO_2 層20、マスク層21、及びマスク層22を、所望の形状、例えばMOSFETのアクティブエリアとなる形状に加工する。

【0050】次に、図4A、図4Bに示すように、図3A、図3Bに示す構造を、例えばRIEを用いて、Si基板10を、マスク層22をエッチングのマスクにした

がら、P型ウェル11の途中に達するまでエッチングする。これにより、Si基板10内に、例えば深さ250nm程度の溝と、フェンス13とが同時に形成される。フェンス13は、MOSFETのソース、ドレイン、チャネルがそれぞれ形成される領域である。フェンス13の高さの一例は、例えば溝の深さと同じ、250nm程度である。

【0051】次に、フェンス13の側面や溝の底を、アッシング及びウェット処理等を用いてクリーニングするとともに、Si基板10のうち、RIEによってダメージを受けた部分を除去する。これにより、フェンス13の側面や溝の底に、ダメージの少ないSi表面が露出する。次に、フェンス13の側面や溝の底に、7nm程度の膜厚を持つ酸化膜（図示せず）を形成する。この酸化膜を形成する目的の一つは、界面特性を良好にすることである。さらに、この酸化膜は、酸素ラジカルを用いたラジカル酸化法により形成することが望ましい。ラジカル酸化法は、低温、例えば700℃程度で、良質の酸化膜を形成できるからである。

【0052】次に、図5A、図5Bに示すように、上記酸化膜（図示せず）が形成された溝内を絶縁物23で充填する。これにより、溝は、絶縁物23で埋め込まれ、いわゆるシャロートレンチ素子分離（Shallow Trench Isolation）が、Si基板10内に形成される。絶縁物23の一例は SiO_2 である。また、 SiO_2 の好ましい一例は、TEOSを反応ガスに用いて形成したTEOS- SiO_2 である。

【0053】STIの具体的な製造方法の一例を下記する。

【0054】まず、図4A、図4Bに示した構造上に、反応ガスをTEOS、成膜温度を約650℃としたCVD法を用いて、TEOS- SiO_2 を500nm程度堆積する。これにより、TEOS- SiO_2 層（絶縁物）23を形成する。次に、TEOS- SiO_2 層23を、例えば温度700℃程度のラジカル酸化雰囲気中でデンシファイする。この後、CMP（Chemical Mechanical Polishing）法を用いて、TEOS- SiO_2 層23の表面を平坦化する。このとき、マスク層（ SiN ）21のCMPレートと、TEOS- SiO_2 層23のCMPレートとの差により、TEOS- SiO_2 層23は、溝内に平坦に埋め込まれる。

【0055】また、絶縁物23の好ましい例としては、上記TEOS- SiO_2 の他、TEOS- O_3 CVD法を用いて形成したTEOS- O_3 - SiO_2 や、HDP（High Density Plasma）CVD法を用いて形成したHDP- SiO_2 等を挙げることができる。

【0056】次に、図6A、図6Bに示すように、例えばRIE法を用いて、TEOS- SiO_2 層23をエッチバックする。これにより、溝の底部に、例えば100nm程度の膜厚を持つ素子分離用の素子分離絶縁膜14が

形成される。

【0057】次に、図7A、図7Bに示すように、マスク層(SiN)21を、例えばホット燐酸等を用いて除去する。次いで、フェンス13の側面上に形成されている酸化膜(図示せず)及びフェンス13の側面上に形成されているSiO₂層20を、フッ酸系の溶液を用いて除去する。これにより、フェンス13の側面、およびその上面からSiを露出させる。次いで、露出したSiの表面上に、ゲート絶縁膜18を形成する。ゲート絶縁膜18の好ましい形成例は、露出したSiの表面を、例えば700℃程度のラジカル酸化法を用いて、約2.5nm程度酸化することである。

【0058】ラジカル酸化法は、フェンス13の面方位に依存し難い。このため、凸凹が少ないゲート絶縁膜18を実現できる。凸凹が少ないゲート絶縁膜18を持つMOSFETは、例えばチャネル界面散乱によるチャネル・モビリティの低下が少なく、性能が良い。

【0059】さらに、ラジカル酸化法には、ある温度では、ある一定の膜厚のSiO₂膜しか形成できない、という特徴がある。このため、ゲート絶縁膜18のウェーハ面内での膜厚バラツキ、及びゲート絶縁膜18のチップ間でのバラツキをそれぞれ小さくできる、という利点がある。

【0060】もちろん、ゲート絶縁膜18には、ラジカル酸化法を用いて形成したSiO₂膜ばかりでなく、SiON膜、いわゆるオキシナイトライド膜を用いても良い。オキシナイトライド膜は、例えば熱酸化法を用いて通常の熱酸化膜を形成し、さらにその表面を、窒素を含むガスで窒化することで形成することができる。

【0061】さらに、ゲート絶縁膜18には、SiO₂膜、SiON膜に限らず、いわゆる高誘電体絶縁膜(high-K膜)を用いても良い。ゲート絶縁膜18に、high-K膜を用いたMOSFETの一例は、図24に示されている。

【0062】high-K膜の例としては、Ta₂O₅膜(いわゆるタンタルオキシサイド)、Al₂O₃膜、La₂O₃膜、HfO₂膜、ZrO₂膜等を挙げることができる。

【0063】特にTa₂O₅膜の比誘電率 ϵ_r は約20~27程度あり、SiO₂膜の比誘電率 $\epsilon_r=3.9$ に比べて大きい。このため、Ta₂O₅膜は、SiO₂膜に膜厚を換算したときの酸化膜換算膜厚(equivalent film thickness)を、2nm以下にできる可能性がある膜である。

【0064】また、ゲート絶縁膜18にTa₂O₅膜を用いる場合には、例えば1nm程度のSi酸化膜系の膜をSi界面に形成してから、その上にTa₂O₅膜を形成する、いわゆる積層ゲート絶縁膜構造としても良い。このような積層ゲート絶縁膜構造によれば、ゲート絶縁膜とSi界面との界面準位密度を減らすことができる。

【0065】次に、図8A、図8Bに示すように、図7A、図7Bに示す構造上に、例えばN型不純物がドーパされた多結晶Siを、例えば100nm程度に堆積し、ドーパ多結晶Si膜を形成する。ドーパ多結晶Si膜は、後にゲート電極16となる。次いで、ドーパ多結晶Si膜上に、例えばSiN膜を100nm程度に堆積する。このSiN膜は、後にゲートキャップ絶縁膜24となる。次いで、レジスト膜(図示せず)をマスクに用いて、まず、ゲートキャップ絶縁膜(SiN)24をエッチングし、次いで、ゲートキャップ絶縁膜(SiN)24をマスクに用いて、ドーパ多結晶Si膜をエッチングする。これにより、ゲート電極16が形成される。このとき、ゲート電極16は、フェンス13を跨いで加工される。このため、ドーパ多結晶Si膜は、このドーパ多結晶Si膜のエッチングレートと、ゲート絶縁膜18とのエッチングレートとの比(選択比)を充分にとれる条件、例えば400程度あるような条件を用いて、エッチングすることが重要である。このような条件を用いることで、フェンス13にエッチングによるダメージが加わることを防止できる。

【0066】また、ゲート電極16には、ドーパ多結晶Si膜に限らず、メタル膜、あるいはメタル膜とメタル膜との積層ゲート構造、あるいは多結晶Si膜とメタル膜との積層ゲート構造(いわゆるポリメタル構造)、あるいは多結晶Si膜とシリサイド膜との積層ゲート構造(いわゆるポリサイド構造)を用いることが可能である。メタル構造、メタル膜とメタル膜との積層ゲート構造、ポリメタル構造、及びポリサイド構造を用いたゲート電極16によれば、ドーパ多結晶Si膜のみを用いたゲート電極に比べて、ゲート電極16の抵抗を低下させることができる。

【0067】メタル膜の例としては、TiN膜、W膜、WN膜、Ru膜、Ir膜、Al膜等を挙げることができる。

【0068】シリサイド膜の例としては、CoSi₂膜、TiSi₂膜等を挙げることができる。

【0069】また、ゲート電極16を、例えばTiN膜を用いて構成したときには、TiN膜の配向性等を調整することで、ゲート電極16の仕事関数を変化させることができる、という特徴がある。このため、MOSFETのしきい値電圧を、ゲート電極16の仕事関数の変化させることで、調整することも可能になる。

【0070】また、ゲート電極16の長さ(いわゆるゲート長)は、例えば70nm程度とする。この発明では、詳しくは後述するがPMOSFETのショートチャネル効果を抑制できるので、NMOS、PMOSの双方とも、同じチャネル長を用いるように設計しても良い。

【0071】次に、図8A、図8Bに示す構造上に、CVD法を用いて、絶縁物、例えばSiO₂やSiNを堆積する。次いで、堆積された絶縁物をRIEし、この絶

縁物を、ゲート電極 16 の側壁、およびフェンス 13 の側壁上に残す。これにより、ゲート電極 16 の側壁、およびフェンス 13 の側壁それぞれに、20 nm 程度の膜厚を持つ側壁絶縁膜 25 が形成される。

【0072】次に、ゲートキャップ絶縁膜 24、ゲート電極 16 及び側壁絶縁膜 25 をマスクに用いて、例えば砒素イオン (As^+) を、加速電圧 20 KeV、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ 程度の条件により、フェンス 13 内にイオン注入する。これにより、N 型ソース/ドレイン領域 17 が、フェンス 13 内に形成される。

【0073】また、側壁絶縁膜 25 を形成する前に、ゲート電極 16 を、例えばラジカル酸化法や低温の RTO 法等を用いて酸化し、例えば 2 nm 程度の膜厚を持つ酸化膜 (図示せず) を形成しても良い。この酸化膜の目的の一つは、ゲート電極 16 の側壁や、底部コーナーにおける電界集中を緩和することである。

【0074】また、本例では、シングル・ソース/ドレイン構造について述べたが、ソース/ドレイン領域 17 を、N⁻型拡散層 17a と N⁺型拡散層 17b とで構成した、いわゆるエクステンション構造を用いることも可能である。エクステンション構造を用いた MOSFET の一例は、図 29 に示されている。

【0075】図 29 に示すように、ゲートキャップ絶縁膜 24、ゲート電極 16、及び側壁絶縁膜 25 をマスクに用いて、例えばリンイオン (P^+) を、加速電圧 40 KeV、ドーズ量 $4 \times 10^{13} \text{ cm}^{-2}$ 程度の条件により、フェンス 13 内にイオン注入する。これにより、N⁻型拡散層 17a をフェンス 13 内に形成する。もちろん、リンイオンに限らず、砒素イオン等をフェンス 13 内にイオン注入することで、N⁻型拡散層 17a を形成しても良い。

【0076】ところで、N 型ソース/ドレイン領域 17 の深さ (X_j) の制御は、重要な工程である。凸状 Si トランジスタのチャネル幅を決める工程であるからである。特に N 型ソース/ドレイン領域 17 の不純物の活性化等を含めて、熱処理の温度設定には、注意が必要である。

【0077】N 型ソース/ドレイン領域 17 の深さ (X_j) は、最終的なイオン注入層形成後における熱的な活性化や、熱処理条件により制御される。例えば PN 接合深さ (X_j) = 0.12 μm 程度になるように、イオン注入条件 (加速電圧とドーズ量) および熱的な活性化条件を制御して実現する。

【0078】本例では、フェンス 13 の側面に露呈した N 型ソース/ドレイン領域 17 のうち、下部の部分に、ゲート電極 16 とオフセットとなるオフセット領域が存在する。これは、N 型ソース/ドレイン領域 17 を、フェンス 13 の表面、特に上面へのイオン注入と、熱拡散とにより形成していることに起因する。このようなオフセット領域を持つ N 型ソース/ドレイン領域 17 によ

ば、特に N 型ソース/ドレイン領域 17 の下部の領域におけるパンチスルーの発生を抑制することができる。また、本例のように、N 型ソース/ドレイン領域 17 の下部領域に、パンチスルー・ストッパー層 12 を、さらに設けておくと、上記 N 型ソース/ドレイン領域 17 の下部領域におけるパンチスルーの発生を、さらに効果的に抑制することができる。

【0079】なお、本例では、フェンス 13 の側面が、側壁絶縁膜 25 によって覆われているので、N 型ソース/ドレイン領域 17 を形成するためのイオン注入時、フェンス 13 の上面へのイオン注入がメインとなり、側面への不純物のイオン注入は防止できる構造となっている。ただし、側壁絶縁膜 25 は、必ずしも必要ではない。

【0080】また、N 型ソース/ドレイン領域 17 の比抵抗を低下させる必要があるとき、例えば比抵抗を $50 \mu\Omega \cdot \text{cm}$ 程度より低くしたい場合には、N 型ソース/ドレイン領域 17 の表面に、シリサイド層 (図示せず) を形成しても良い。

【0081】シリサイド層の例としては、 $TiSi_2$ 、 $CoSi_2$ 、 $PtSi$ 、 Pd_2Si 、 $IrSi_3$ 、 $RhSi$ 等を挙げることができる。特にソース/ドレイン領域 17 が P 型の場合、この P 型ソース/ドレイン領域 17 のコンタクト抵抗を低下させるには、 Pd_2Si が有効である。

【0082】次に、図 10A、図 10B に示すように、図 9A、図 9B に示した構造上に、CVD 法を用いて、 SiO_2 を、例えば 500 nm 程度堆積する。これにより、層間絶縁膜 26 が形成される。この後、層間絶縁膜 26 を、例えば 700 °C 程度のラジカル酸化雰囲気、例えば 30 分程度デンシファイする。この熱工程は、N 型ソース/ドレイン領域 17 のイオン注入層の活性化を兼ねて行っても良い。N 型ソース/ドレイン領域 17 の深さ (X_j) を制御したい時は、デンシファイの温度を低温化する、あるいは例えば 850 °C 程度で msec オーダー程度の RTA を行っても良い。さらにはこれらを併用して N 型ソース/ドレイン領域 17 のイオン注入層の活性化を行なっても良い。この後、CMP 法を用いて、層間絶縁膜 26 を平坦化する。

【0083】次に、図 11A、図 11B に示すように、リングラフィと RIE とを用いて、コンタクトホール 27 を層間絶縁膜 26 内に形成する。次に、W (タングステン) 膜や Al (アルミ) 膜、 TiN (窒化チタン) 膜/ Ti (チタン) 膜やそれらの積層膜をコンタクトホール 27 内に充填する。これにより、コンタクトプラグ 28 がコンタクトホール 27 内に形成される。次に、層間絶縁膜 26 上に、コンタクトプラグ 28 に電氣的に接触する配線層 29 を形成する。配線層 29 は、例えばアルミニウムを主成分とした導電物から構成される。次に、パッシベーション膜 (図示せず) を、層間絶縁膜 26 及

び配線層を上には積することで、この発明の第1実施形態に係るMOSFETの基本構造が完成する。

【0084】このような第1実施形態に係るMOSFETから得られる効果のうち、代表的な効果を下記する。

【0085】(1) フェンス13中に形成されたソース/ドレイン領域17を、該フェンス13の下部領域に形成された素子分離絶縁膜14から離す。これにより、MOSFETのチャネル幅を、ソース/ドレイン領域17の深さにより制御することができる。このため、フェンス13を形成する際に生ずる、溝のエッチング深さのバラツキの影響が、チャネル幅のバラツキに影響しない構造を実現することができる。

【0086】(2) フェンス13の幅(Wg)を、例えば0.20μmより狭くする。これにより、フェンス13の、互いに相対した2つの側面上に形成したゲート電極16により、チャネル不純物層15を完全に空乏化することができる。チャネル領域15を完全に空乏化することで、例えばショートチャネル効果を抑制できる。

【0087】(3) フェンス13のチャネル領域15とウェル11(もしくはSi基板10)との間に、高濃度不純物層(パンチスルー・ストッパー層)12を設ける。これにより、ソース/ドレイン間のパンチスルーを防止することができる。

【0088】(4) フェンス13の側面に露呈したソース/ドレイン領域17間の距離は、側面上部において狭く、側面下部になるに従って広がる形状とする。これにより、ソース/ドレイン間のパンチスルーを防止できる。

【0089】(5) (4)に加えて、フェンス13の側面に露呈したソース/ドレイン領域17の一部分を、ゲート電極16よりも自己整合的に外側になった、極めて従来と異なった形状とする。これにより、ソース/ドレイン領域17の一部、例えばソース/ドレイン領域の下部の部分は、ゲート電極16からオフセットする。このようにソース/ドレイン領域17にオフセット領域を持たせることによって、ソース/ドレイン間のパンチスルー、特にソース/ドレイン間の下部の領域におけるパンチスルーを防止できる。

【0090】(6) MOSFETのチャネル領域15の一部は、フェンス13の側面に得られる構造であるが、ソース/ドレイン領域17へのコンタクト、およびゲート電極16へのコンタクト、および配線は、ほぼ完全に平坦化された平面、例えば層間絶縁膜26内、もしくは層間絶縁膜26上に形成される。このため、従来のプレーナ型MOSFETのプロセス技術を、そのまま使用することが可能である。

【0091】(第2実施形態) 図12はこの発明の第2実施形態に係るMOSFETを示す斜視図、図13A、図13Bはそれぞれ、その断面図である。なお、図13Aに示す断面は図2Bに示した断面に相当し、図13B

に示す断面は図2Cに示した断面に相当する。また、図12、図13A、図13Bでは、図2Aに示したコンタクトおよび配線はそれぞれ省略されている。

【0092】第1実施形態では、フェンス13の上面、両側面で、ほぼ膜厚が等しいゲート絶縁膜18を用いた構造を示した。

【0093】本第2実施形態では、図12、図13A、図13Bに示すように、フェンス13の上面には、両側面のゲート絶縁膜18aに比べて、膜厚の厚いゲート絶縁膜(TOP絶縁膜)18bが有る構造について示している。

【0094】このような構造を用いることで、フェンス13のチャネル領域15において、上部コーナーにおけるゲート電界集中を緩和でき、その影響を低減することができる。このようにゲート電界集中の影響を低減することで、ゲート電界集中に起因したしきい値電圧の変動や、基板バイアス特性の変動、即ち、基板バイアスを印加したときのしきい値電圧の変動を抑制することができる。

【0095】このような構造を得るには、例えば第1実施形態の、図6A、図6Bを参照して説明した工程において、フェンス13の上面上に形成されたSiO₂層20を除去しないで残しておき、その後、フェンス13の側面上に、ゲート絶縁膜18aを形成する。これにより、フェンス13の上面上には厚いゲート絶縁膜18b、フェンス13の両側面上には、薄いゲート絶縁膜18aという、2種類の膜厚を持つゲート絶縁膜構造を実現することができる。

【0096】なお、本第2実施形態の、特にゲート絶縁膜18aは、SiO₂膜に限らず、図25に示すように、Ta₂O₅膜、HfO₂膜、ZrO₂膜等の、いわゆる高誘電体絶縁膜(high-K膜)を用いることが可能である。

【0097】また、ゲート絶縁膜18aにTa₂O₅膜を用いた場合には、Si界面との界面単位密度を減らすために、例えば1nm程度のSi酸化膜系の膜をSi界面に形成してから、その上にTa₂O₅膜を形成する、いわゆる積層膜ゲート絶縁膜構造としても良い。

【0098】なお、ゲート絶縁膜18aに、上記高誘電体絶縁膜(high-K膜)を用いる変形は、この明細書で説明する全ての実施形態で適用可能であることは、もちろんである。

【0099】(第3実施形態) 図14A、図14Bはそれぞれ、この発明の第3実施形態に係るMOSFETを示す断面図である。なお、図14Aに示す断面は図2Bに示した断面に相当し、図14Bに示す断面は図2Cに示した断面に相当する。また、図14A、図14Bでは、図2Aに示したコンタクトおよび配線はそれぞれ省略されている。

【0100】第1実施形態では、フェンス13中に形成

されたソース／ドレイン領域 17 とウェル 11 (もしくは Si 基板 10) との間に、パンチスルー・ストッパー層 12 が存在している構造例を示した。

【0101】本第 3 実施形態では、図 14 A、図 14 B に示すように、ソース／ドレイン領域 17 の深さが、第 1 実施形態より深い。例えば本例では、ソース／ドレイン領域 17 の底部が、フェンス 13 の周囲に形成された素子分離絶縁膜 14 の上面にほぼ等しいか、それよりも深い場合について示している。この場合、ゲート電極 16 は、素子分離絶縁膜 14 の上面から、フェンス 13 の側面に沿って形成されるために、ソース／ドレイン領域 17 の底部の位置と、ゲート電極 16 の位置とが、ほぼ一致することになる。

【0102】このような構造では、ソース／ドレイン領域 17 の深さを深くできるために、チャネル幅を大きくできる。よって、フェンス 13 の高さを低くでき、ゲート電極 16 の加工が容易、という効果を得ることができる。

【0103】(第 4 実施形態) 図 15 A、図 15 B はそれぞれ、この発明の第 4 実施形態に係る MOSFET を示す断面図である。なお、図 15 A に示す断面は図 2 B に示した断面に相当し、図 15 B に示す断面は図 2 C に示した断面に相当する。また、図 15 A、図 15 B では、図 2 A に示したコンタクトおよび配線はそれぞれ省略されている。

【0104】第 1 実施形態では、フェンス 13 中に形成されたソース／ドレイン領域 17 とウェル 11 (もしくは Si 基板 10) との間に、パンチスルー・ストッパー層 12 が存在し、かつフェンス 13 の側面において、ソース／ドレイン領域 17 がゲート電極 16 とオフセットしている構造例を示した。

【0105】本第 4 実施形態では、図 15 A、図 15 B に示すように、ソース／ドレイン領域 17 の深さが、第 1 実施形態より深く、かつオフセット領域が無い構造を示している。具体的には、例えば本例では、ソース／ドレイン領域 17 の底部が、フェンス 13 の周囲に形成された素子分離絶縁膜 14 の上面にほぼ等しいか、それよりも深く、かつフェンス 13 の側面において、ソース／ドレイン領域 17 は、ゲート電極 16 と完全にオーバーラップしている。このような構造を得るには、例えばゲート電極 16 とその側壁絶縁膜 25 をマスクに用いて、不純物をドーピングした膜からの固相拡散により、ソース／ドレイン領域 17 を形成すれば良い。

【0106】このような構造では、第 3 実施形態と同様に、ソース／ドレイン領域 17 を深い領域まで形成でき、大きなチャネル幅を実現できるため、フェンス 13 の高さを低くでき、ゲート電極 16 の加工が容易になる、という効果を得ることができる。

【0107】(第 5 実施形態) 図 16 A はこの発明の第 5 実施形態に係る MOSFET を示す平面図、図 16 B

は図 16 A 中の 16 B-16 B 線に沿う断面図、図 16 C は図 16 A 中の 16 C-16 C 線に沿う断面図である。

【0108】第 1 実施形態では、フェンス 13 が一つの場合について述べた。

【0109】本第 5 実施形態では、より大きなチャネル幅を実現するために、フェンス 13 を複数個合わせて、一つの MOSFET を形成する場合について述べる。

【0110】図 16 A ~ 図 16 C に示すように、フェンス 13 を並列に配置し、ソース／ドレイン領域 17 へのコンタクトを共通にし、また、ゲート電極 16 も共通にする。これにより、大きなチャネル幅を実現できる。

【0111】フェンス 13 の側面をチャネル幅として用いることができるので、平面的な構造を持つ MOSFET に比べて、平面的な面積を小さくできる。

【0112】また、この時、ゲート電極 16 へのコンタクトは、ゲート電極 16 のうち、素子分離絶縁膜 14 上に配置された部分に形成することができる。

【0113】本第 5 実施形態に係る構造では、フェンス 13 を、複数個配置しソース、ドレイン、ゲートを共通にして一つのトランジスタとして動作させることで、より大きなチャネル幅を、より少ない平面的な面積で実現できる。これにより半導体集積回路の高密度化を実現できる特長がある。このとき、複数個の薄膜凸状 Si 層 13 の幅は各々ほぼ同じとし、互いに揃えられることが望ましい。同じ幅であれば、それぞれの MOSFET 特性を同じにできるからである。

【0114】また、複数個の薄膜凸状 Si 層 13 の幅を各々ほぼ同じとし、互いに揃えることで、それぞれの MOSFET 特性を同じにできる、という観点から、1 つのチップ中に形成される複数の MOSFET の全て、あるいはその一部において、薄膜凸状 Si 層 13 の幅を各々同じに揃えるようにしても良い。

【0115】このように複数の薄膜凸状 Si 層 13 の幅が揃えられれば、例えば複数の薄膜凸状 Si 層 13 を微細に形成し易くなる、という利点を得ることができる。

【0116】なぜなら、薄膜凸状 Si 層 13 の幅が揃っていると、薄膜凸状 Si 層 13 を加工し易く、また、埋め込みも容易となるからである。この結果、素子の製造歩留りが向上する。この利点は、今後、更に進展が予想される MOSFET の微細化や、半導体集積回路装置の高集積化にとって、大変有用である。

【0117】また、半導体集積回路装置に集積される複数の MOSFET では、回路構成上、それぞれ必要とされる駆動能力に違いがある。

【0118】従来、駆動能力の調節は、チャネル幅を変更することで為されていた。チャネル幅を変更することは、MOSFET が形成される素子領域の幅の変更を意味する。このため、従来の半導体集積回路においては、1 チップ中に、様々な幅の素子領域が集積されていた。

このような構造は、微細に形成し難く、更に進展が予想されるMOSFETの微細化や、半導体集積回路装置の高集積化にとっては、あまり好ましいことではない。

【0119】しかし、この発明に係るMOSFETを用いて形成した半導体集積回路装置では、従来の素子領域に相当した薄膜凸状Si層13の幅を揃えることが可能、究極的には全て揃えることが可能となる。究極的には全ての薄膜凸状Si層13の幅を揃えることが可能である。

【0120】なぜなら、この発明に係るMOSFETでは、本第5実施形態のように、チャネル幅を、ゲート電極16を複数の薄膜凸状Si層13で共通にすることで変更でき、これによって駆動能力の調節が可能となるからである。

【0121】（第6実施形態）図17Aはこの発明の第6実施形態に係るMOSFETを示す平面図、図17Bは図17A中の17B-17B線に沿う断面図、図17Cは図17A中の17C-17C線に沿う断面図である。

【0122】第5実施形態では、より大きなチャネル幅を実現するために、フェンス13を複数個合わせて、一つのMOSFETを形成する場合について述べた。また、ゲート電極16へのコンタクトは、ゲート電極16のうち、素子分離絶縁膜14上に配置された部分に形成する場合を述べた。

【0123】本第6実施形態が、第5実施形態と異なるところは、ゲート電極16へのコンタクトをとる構造である。

【0124】図17A～図17Cに示すように、例えばフェンス13とは別に、コンタクトをとるための凸状薄膜Si層30を形成し、ゲート電極16を、凸状薄膜Si層30の上面まで延長する。そして、凸状薄膜Si層30の上面の上方で、ゲート電極16にコンタクトをとる。

【0125】このゲートコンタクト用の凸状薄膜Si層30の大きさは、コンタクトがとれる大きさなら良い。そして、凸状薄膜Si層30の目的は、MOSFETのソース/ドレイン領域17へのコンタクト深さと、MOSFETのゲート電極16へのコンタクト深さとの差を縮小することにある。このような凸状薄膜Si層30を持つ構造とすることで、安定したコンタクトを得ることが可能になり、製造歩留りを向上することができる。

【0126】本第6実施形態に係る構造によれば、ゲートコンタクト形成用の凸状薄膜Si層30を形成することで、その上面の上方で、ゲート電極16へのコンタクトをとることができる。これにより、深いコンタクトを回避することができ、コンタクト、配線工程の安定した製造ができるようになる。

【0127】図18A、図18Bはそれぞれ、この発明の第6実施形態の他例に係るMOSFETを示す断面図

である。なお、図18Aに示す断面は図2Bに示した断面に相当し、図18Bに示す断面は図2Cに示した断面に相当する。

【0128】図18A、図18Bに示すように、第6実施形態に係る構造は、第5実施形態のように、複数のMOSFETを持つ構造に限らず、第1実施形態のように、一つのMOSFETを持つ構造においても、適用することが可能である。

【0129】この場合も、ゲートコンタクト形成用の凸状薄膜Si層30の上面の上方で、ゲート電極16にコンタクトをとることで、深いコンタクトの形成を回避でき、コンタクト、配線工程の安定した製造ができるようになる。

【0130】（第7実施形態）図19A、図19Bはそれぞれ、この発明の第7実施形態に係るMOSFETを示す断面図である。

【0131】第1実施形態では、フェンス13を、Si基板10に対してほぼ垂直の角度を持つように形成した例を述べた。

【0132】本第7実施形態では、図19A、図19Bに示すように、段差となるフェンス13をまたぐ形のゲート電極の加工を容易にするために、フェンス13に順テーパ角度 θ を持つように形成する。例えば垂直な場合に比べて、フェンス13に、1～3度程度の順テーパ角度 θ をつけただけでも、ゲート電極16の加工は、格段に容易化できる。

【0133】また、このテーパ角度 θ を持つようにフェンスを形成するには、例えば第1実施形態の図4A、図4Bを参照して説明した、マスク層22をエッチングのマスクに用いて、Si基板10をエッチングする際に、エッチング条件を調整すればよい。1～3度の順テーパ角度をつけるのは比較的容易である。

【0134】このようにフェンス13を、順テーパ構造とすることにより、ゲート電極16の加工を容易化でき、該加工時の寸法変換差を小さくできる、という効果を得ることができる。

【0135】（第8実施形態）図20はこの発明の第8実施形態に係るMOSFETを示す斜視図、図21Aはその平面図、図21Bは図21A中の21B-21B線に沿う断面図、図21Cは図21A中の21C-21C線に沿う断面図である。

【0136】第1実施形態では、一つのパターンからなるゲート電極16が、フェンス13の上面を跨いで、その両側面に沿って形成されている例を示した。

【0137】同様に、第5実施形態では、一つのパターンからなるゲート電極16が、複数のフェンス13の上面をそれぞれ跨ぎ、かつそれらの両側面に沿って形成されている例を示した。

【0138】本第8実施形態は、図20、図21A～図21Cに示すように、ゲート電極16を、フェンス13

の側面に形成されたゲート絶縁膜 18a と接する第 1 ゲート電極 16a、および膜 Si 層 13 の上面に形成されたゲート絶縁膜 (TOP 絶縁膜) 18b と接する第 2 ゲート電極 16b の複数のパターンにより構成したものである。なお、本例では、第 2 実施形態と同様に、ゲート絶縁膜 (TOP 絶縁膜) 18b は、ゲート絶縁膜 18a よりも厚いもの、とする。

【0139】第 1 ゲート電極 16a は、フェンス 13 の第 1 の側面、およびこの第 1 の側面に相対した第 2 の側面にそれぞれ個別に形成されている。そして、これら各第 1 ゲート電極 16a どうしを、第 2 ゲート電極 16b となる接続のためのメタル層で接続している。ここで、第 2 ゲート電極 16b は、MOSFET のゲート電極として機能させることも可能であるし、第 2 ゲート絶縁膜 (TOP 絶縁膜) 18b を十分に厚くし、単純に配線として機能させることも可能である。単純に配線として機能させた場合には、第 1 の側面に形成された第 1 の MOSFET のゲート電極と、第 1 の側面に相対した第 2 の側面に形成された第 2 の MOSFET のゲート電極とを、配線によって互いに接続し、これら 2 つの MOSFET を、一つの MOSFET として動作させるようにした構造、といえる。

【0140】本第 8 実施形態に係る構造を形成するためには、ゲート絶縁膜 (TOP 絶縁膜) 18b をエッチングのマスクに用いて、フェンス 13a の側壁に、第 1 ゲート電極 16a となる導電物を、RIE 法を用いた側壁残し法にて残し、その後、レジスト膜をマスクに用いて、ゲート電極 16a の形状に加工することで実現できる。このとき、フェンス 13 の上面に形成された、ゲート絶縁膜 (TOP 絶縁膜) 18b が、RIE 時のエッチングのマスクとして使用できる他、RIE 時のエッチング・ダメージが、フェンス 13 に入るのを防止する。このように本第 8 の実施形態に係る構造において、ゲート絶縁膜 (TOP 絶縁膜) 18b は、特に重要な役割を果たす。

【0141】また、第 1 ゲート電極 16a と第 2 ゲート電極 16b との間には、合わせズレが発生する可能性が有るが、MOSFET の電気特性には影響はない。

【0142】このような第 8 の実施形態に係る電極構造をとることにより、フェンス 13 の側壁のみに、第 1 ゲート電極 16a の材料、例えば不純物をドーブしたポリ Si 層を形成できる。このため、MOSFET の電気特性に応じてゲート電極の材料を変更できる、という特長がある。

【0143】また、第 1 ゲート電極 16a の膜厚を、例えば 50nm 程度に薄膜化しても、第 2 ゲート電極 16b となるメタル層を、例えば膜厚 100nm 程度の W 膜 / TiN 膜 / Ti 膜の積層膜等で形成すれば、配線抵抗の増加を抑制することができる。

【0144】(第 9 実施形態) 図 22 はこの発明の第 9

実施形態に係る MOSFET を示す斜視図、図 23A はその平面図、図 23B は図 23A 中の 23B-23B 線に沿う断面図、図 23C は図 23A 中の 23C-23C 線に沿う断面図である。

【0145】第 8 実施形態では、第 1 ゲート電極 16a を、フェンス 13 の互いに相対する 2 つの側面上に形成されたゲート絶縁膜 18a 上に形成し、これら第 1 ゲート電極 16a どうしを、フェンス 13 の上面上に形成されたゲート絶縁膜 (TOP 絶縁膜) 18b 上に形成された第 2 ゲート電極 16b を用いて、互いに接続する構造について説明した。

【0146】本第 9 実施形態は、図 22、図 23A、図 23B に示すように、第 1 ゲート電極 16a をフェンス 13 の互いに相対する 2 つの側面およびその上面の 3 つの面上に形成されたゲート絶縁膜 18 上に形成されたゲート電極 16 と、このゲート電極 18 に電気的に接続される第 2 ゲート電極 (メタル) 16b とからなる積層ゲート電極を持つ。

【0147】このような構造を形成するには、第 1 実施形態において、図 8A、図 8B に示す工程において、ゲート電極 16 を所望の形状に加工した後、ゲート電極 16 の側壁に側壁絶縁膜 25 を形成し、ソース / ドレイン領域 17 を形成する (図 9A、図 9B)。この後、層間絶縁膜 26 を形成し、これを平坦化する (図 10A、図 10B)。この層間絶縁膜 26 の平坦化時、ゲート電極 16 の表面を、選択的に露出させるようにする。この後、第 2 ゲート電極 16b となるメタル積層膜 (例えば W 膜 / TiN 膜 / Ti 膜) を堆積し、レジスト膜 (図示せず) を用いて所望の形状にパターンニングし、第 2 ゲート電極 16b を形成する。

【0148】本第 9 実施形態においても、第 8 実施形態と同じように、ゲート電極 16 と第 2 ゲート電極 16b との間には合わせズレが発生する可能性が有るが、MOSFET の電気特性には影響はない。

【0149】このような本第 9 実施形態に係る電極構造とすることにより、フェンス 13 の両側面および上面の 3 つの側面に、第 1 のゲート電極材料、例えば不純物をドーブしたポリ Si 層により構成されたゲート電極 16 を形成できる。さらにゲート電極 16 に電気的に接続される、例えばより抵抗値が低い第 2 のゲート電極材料、例えばメタルやメタル積層膜により構成された第 2 ゲート電極 16b を形成できる。このため、MOSFET の電気特性に応じて、ゲート電極材料を変更することができる、という特長がある。

【0150】また、ゲート電極 16 を、例えば 50nm 程度に薄膜化しても、第 2 ゲート電極となる積層メタル接続層で、配線抵抗の増加を抑制することができる。

【0151】(第 10 実施形態) 図 26 は、この発明の第 10 実施形態に係る MOSFET を示す断面図である。なお、図 26 に示す断面は図 1B に示す断面に相当

する。

【0152】第1実施形態では、フェンス13の下部周辺領域に素子分離絶縁膜14を埋め込み形成する場合に、図6A、図6Bに示すように、フェンス13の側面の延長面に素子分離絶縁膜14が形成されている。

【0153】本第10実施形態は、素子分離絶縁膜14を埋め込み形成する場合に、フェンス13の下部領域に、素子分離絶縁膜14の埋め込み形状が劣化しない様に、例えば約10度程度の順テーパ角度 θ を持つように形成する例である。

【0154】図26に示すように、フェンス13の下部領域に、例えば垂直な場合に比べて10度程度の順テーパ角度 θ をつけることにより、図5A、図5Bに示した絶縁膜23の、特にフェンス13の下部領域における埋め込み性を著しく向上できる。

【0155】また、フェンス13の下部領域にテーパ角度 θ を持つように加工するには、フェンス13のエッチング時の最終段階に、エッチング条件を変更し、順テーパ角度 θ がつくようにすれば良い。フェンス13の下部領域に、約10度の順テーパ角度 θ をつけることは、エッチング条件の変更で比較的容易に実現できる。

【0156】このようにフェンス13の下部領域が、約10度の順テーパ角度 θ を持ち、その上部領域のMOSFETのチャネルとなるほぼ垂直な側面を持つ凸状Si構造にすることにより、素子分離絶縁膜14の埋め込み特性を改善でき、安定した素子分離領域を形成できるという特長がある。

【0157】(第11実施形態)図27は、この発明の第11実施形態に係るMOSFETを示す断面図である。なお、図27に示す断面は図1Bに示す断面に相当する。

【0158】第1実施形態、および第10実施形態では、フェンス13の下部領域に、素子分離絶縁膜14を埋め込み形成する場合、図6A、図6Bに示すように、素子分離絶縁膜14の上面がSi基板10面に対して、ほぼ水平になるように形成されている例や、素子分離絶縁膜14の底部コーナーがほぼ垂直になっている例について述べた。

【0159】本第11実施形態では、素子分離絶縁膜14を埋め込み形成する場合に、素子分離絶縁膜14の埋め込み形状が劣化しないように、例えばフェンス13の底部コーナーが半径=50nm程度の丸みを持つように形成する例と、素子分離絶縁膜14の表面がSi基板10面に対して、ほぼ水平ではなくてフェンス13の周辺部から素子分離絶縁膜14の中心部に向かって膜厚が薄くなるように形成する例について述べる。

【0160】図27に示すように、例えばフェンス13の底部コーナーに、半径50nm程度のラウンドを形成することにより、図5A、図5Bに示した素子分離絶縁膜14の、特にフェンス13の下部領域における埋め込

み性を著しく向上できる。

【0161】また、このようなフェンス13の底部コーナーがラウンドを持つように加工するには、フェンス13のエッチング条件を変更し、底部コーナーがラウンドを持つようにすれば良い。

【0162】また、例えばフェンス13の下部領域における素子分離絶縁膜14の膜厚をフェンス13の下部領域において厚く、素子分離絶縁膜14の中心部に行くに従って薄くなるように形成すると、ゲート電極16を加工する場合、フェンス13の下部周辺の素子分離絶縁膜14表面において、ゲート電極16の残りを防止でき、ゲート電極16どうしのショートを防ぎ、製品の歩留まりを向上できる。

【0163】また、素子分離絶縁膜14を上記形状を持つように加工するには、フェンス13の側面に、例えば10nm程度の熱酸化膜を形成し、それを介してHDP (High Density Plasma) やO₃ (オゾン) -TEOS酸化膜等のCVD絶縁膜を埋め込めば良い。CMP法やRIE法を用いて、図6A、図6Bに示すようにCVD絶縁膜を埋め込み形成するが、最後にウエットエッチング条件を調整し、熱酸化膜に対してCVD絶縁膜の方がウエットエッチング速度が遅いような条件(エッチング液の温度やフッ酸の濃度等)を選んでエッチングし、フェンス13の近傍だけが厚い膜厚になるような絶縁膜を形成すれば良い。

【0164】このようにフェンスの底部コーナーに半径50nm程度のラウンドを形成することにより、特にフェンス13の下部領域における素子分離絶縁膜14の埋め込み性を著しく向上できる。

【0165】また、例えば素子分離絶縁膜14の膜厚を、フェンス13の下部領域近傍において厚く、そして素子分離絶縁膜14の中心部に行くに従って薄くなるように形成すると、ゲート電極16を加工する場合、フェンス13の下部の素子分離絶縁膜14表面においてゲート電極16の残りを防止でき、ゲート電極16どうしのショートを防ぎ、製品の歩留まりを向上できる。

【0166】(第12実施形態)図28は、この発明の第12実施形態に係るMOSFETを示す断面図である。なお、図28に示す断面は、図1Bに示す断面に相当する。

【0167】第1実施形態では、フェンス13の上面と平面とが接する上部コーナーが、ほぼ直角に加工されている例について述べた。

【0168】本第12実施形態は、この上部コーナーの丸めについて述べる。

【0169】図28に示すように、例えば上部コーナーに半径30nm程度のラウンドを設けることにより、上部コーナーがほぼ直角な場合に比べて、MOSFETのゲート電極16からの電界の影響を著しく低減できる。これにより、ゲート絶縁膜18の耐圧を向上でき、ま

た、ゲート電界の集中における寄生チャネルの影響を低下できる。

【0170】このような半径30nm程度のラウンドを、フェンス13の上部コーナーに形成するには色々な方法がある。例えば第1実施形態において、図6A、図6Bに示す状態でマスクSiN膜15を残したまま、フェンス13の側壁表面を熱酸化する。これにより、フェンス13の上部において、LOCOS (Local Oxidation of Silicon) 的な、選択酸化を行なうことにより、上部コーナーに半径30nm程度の食い込みを入れることができる。その後、マスクSiN膜15を除去して、ゲート絶縁膜18を形成することにより、上部コーナーに、半径30nm程度のラウンドを持たせることができる。ラウンドの量は、選択酸化の量により多少変更することができる。

【0171】このようにフェンス13の上面の端部コーナー（上部コーナー）に、半径30nm程度のラウンドを設けることにより、MOSFETのゲート電極からの電界の影響を著しく低減でき、ゲート絶縁膜18の耐圧を向上でき、また、ゲート電界の集中における寄生チャネルの影響を低下できるという特長がある。

【0172】また、例えば図19に示したように、フェンス13の上部コーナーの角度を、90度を越えるようにしても、上記同様の効果を得ることができる。

【0173】（第13実施形態）図30はこの発明の第13実施形態の第1例に係るMOSFETを示す平面図、図31はその第2例に係るMOSFETを示す平面図、図32はその第3例に係るMOSFETを示す平面図である。

【0174】第5実施形態では、大きなチャネル幅を実現するために、フェンス13を複数個合わせて一つのMOSFETを形成する場合について述べた。

【0175】本第13実施形態では、複数のフェンス13を合わせて一つのソース/ドレイン領域17、ゲート電極16をもつ構造として用いる場合のソース/ドレイン構造について述べる。

【0176】図30には第1例として、2個のフェンス13を持つ場合の、ソース/ドレイン領域17の結合構造が示されている。

【0177】図30に示すように、フェンス13を並列に配置し、ソース/ドレイン領域17の片方を、フェンス13自体を用いて共通化する。これにより、フェンス13は平面的に折曲され、平面から見て「U型」構造となっている。このような構造をとることによりコンタクトの数を減らすことができる。

【0178】図31には第2例として、4個のフェンス13を持つ場合の、ソース/ドレイン領域17の結合構造が示されている。

【0179】図31に示すように、フェンス13を並列に配置し、ソース/ドレイン領域17の片方を2つず

つ、フェンス自体を用いて共通化する。これにより、フェンス13は、平面から見て「U型」構造を幾つか組み合わせさせた形となっている。このような構造をとることにより図30の場合と同じようにコンタクトの数を減らすことができる。また、フェンス13の構造を変化させることにより、素子配置の密度を向上できる。

【0180】図32には第3例として、4個のフェンス13を持つ場合のソース/ドレイン領域17の結合構造が示されている。

【0181】図32に示すように、フェンス13を並列に配置し、ソース/ドレイン領域17となる両側のフェンス13を、このフェンス13自体を用いて結合した構造となっている。このような構造をとることにより、図30、図31の場合と同じようにコンタクトの数を減らすことができる。また、フェンスの構造を変化させることにより、素子配置の密度を向上できる。

【0182】（第14実施形態）図33はこの発明の第14実施形態に係るMOSFETを示す斜視図、図34Aはその平面図、図34Bは図34A中の34B-34B線に沿う断面図、図34Cは図34A中の34C-34C線に沿う断面図である。また、図33、図34A～図34Cでは、図2Aに示したコンタクトおよび配線はそれぞれ省略されている。

【0183】第1実施形態では、フェンス13の下部領域に周辺に、素子分離絶縁膜14があり、さらにフェンス13のチャネル領域15がSi基板10と電気的に接続され、チャネル領域15に対して基板バイアスを印加できる構造を示した。

【0184】本第14実施形態は、図33、図34A～図34Cに示すように、例えばSOI基板40を用い、このSOI基板40の絶縁膜41上に、200nm程度の薄膜Si層を形成し、これを加工してフェンス13を形成したものである。さらにMOSFETのソース/ドレイン領域17の底部と、絶縁膜41、例えば埋め込み酸化膜のような絶縁膜41の間に、チャネル領域15と同じ導電型のSi層42が存在するような構造である。

【0185】このような構造では、SOI構造であるため、基板バイアスは印加できないが、MOSFET動作時にチャネル領域に蓄積される蓄積電荷（Nチャネルの場合はホールとなる）の影響をソース/ドレイン領域17の底部まで分布を拡大できることにより、そのソース/ドレイン耐圧の劣化などの影響を低減できる。

【0186】このような構造を実現するには、第1実施形態に示したような構造を、SOI基板40を使って製造すれば良い。そして、ソース/ドレイン領域17の底部と絶縁膜41との間に、チャネル領域15と同じ導電型のSi層42を形成することが重要である。

【0187】（第15実施形態）図35はこの発明の第15実施形態に係るMOSFETを示す斜視図、図36Aはその平面図、図36Bは図36A中の36B-36

B線に沿う断面図、図36Cは図36A中の36C-36C線に沿う断面図である。また、図35、図36A～図36Cでは、図2Aに示したコンタクトおよび配線はそれぞれ省略されている。

【0188】第14実施形態では、SOI基板40を使ってフェンス13の両側面にチャンネルを形成し、好ましくは動作時にチャンネルを完全に空乏化し、MOSFETのショートチャンネル効果を改善する構造について述べた。この時に、従来の薄膜SOIのFin構造MOSFET(図81)との違いは、ソース/ドレイン領域17の底部と絶縁膜41との間に、チャンネルと同じ導電型のSi層42を設けることである。これにより、従来の薄膜SOIを用いたMOSFETで問題であった基板浮遊効果を防止できる。

【0189】本第15実施形態は、図35、図36A～図36Cに示すように、例えばガラス基板43を用いて、このガラス基板43の上に200nm程度の膜厚を持つアモルファスSi層を形成し、アモルファスSi層を加工して、第14実施形態と同じようなフェンス13を持ったMOSFETを形成したものである。MOSFETのソース/ドレイン領域17の底部とガラス基板43との間に、チャンネル領域15と同じ導電型のSi層、本例ではアモルファスSi層44が存在する構造は、第14実施形態と同じである。

【0190】このような構造を用いることにより、ガラス基板43を用いたアモルファスSi層MOSFETであるのに、完全空乏化チャンネルをダブルゲート構造で実現できる。したがって、アモルファスSi-MOSFETの特性を向上できる。

【0191】このような構造を実現するには、第1実施形態に示したような製造方法をガラス基板43の上に形成したアモルファスSi層を使って実現すれば良い。もちろん、本第15実施形態においても、第14実施形態と同様に、ソース/ドレイン領域17の底部とガラス基板43との間に、チャンネル領域15と同じ導電型のアモルファスSi層44を形成することが同じように重要である。

【0192】(第16実施形態)図37A～図42A、図37B～図42Bは、この発明の第16の実施形態に係るMOSFETの製造方法を示す工程断面図である。なお、図37A～図42Aに示す断面は図2Bに示す断面に相当し、図37B～図42Bに示す断面は図2Cに示す断面に相当する。

【0193】第1実施形態では、Si基板10を、マスク層22を用いてエッチングすることで、フェンス13を形成する例について述べた。

【0194】本第16実施形態では、エピタキシャルSi層を用いて、フェンス13を形成し、完全空乏化チャンネルを持つダブルゲート型のMOSFET構造を形成する方法である。以下その方法を、図37～図42に示す

工程断面図を参照して説明する。

【0195】まず、図37A、図37Bに示すように、不純物濃度 $5 \times 10^{15} \text{ cm}^{-3}$ 程度の面方位(100)P型Si基板110のトランジスタ・チャンネル領域に、NMOSFETを形成する場合にはP型ウェル111(ピーク不純物濃度で、例えば $4 \times 10^{17} \text{ cm}^{-3}$ 程度)を、例えばボロンイオン(B^+)を、加速電圧260KeV、ドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ 程度イオン注入することにより形成する。また、PMOSFETを形成する場合にはNウェル(図示せず)を形成する。次に、Si基板110上方の全面に、後に素子分離絶縁膜となる SiO_2 膜114を、例えば100nm程度形成する。次に、エピタキシャルSi層を成長する場合の溝のメイン材料となるマスク層(SiN)121を、例えば200nm程度形成する。次に、エピタキシャルSi層をCMPするときの保護層となるマスク層(SiO_2)122を、例えば50nm程度形成する。次に、これらの積層膜に、例えば通常のレジスト膜(図示せず)とRIE法とを用いて、所望のパターンを形成する。本例では、エピタキシャルSi層からなるフェンスを形成するための溝パターン123が形成される。この後、溝パターン123から露出したSi基板10の表面から、RIE時のエッチング・ダメージや有機物汚染層等を除去する。この除去は、次の工程で行われるSiのエピタキシャル成長を考慮して行われるもので、必要に応じて行われれば良い。

【0196】次に、図38A、図38Bに示すように、溝パターン123から露出したSi基板110の表面から自然酸化膜等を除去した後、Siをエピタキシャル成長させ、エピタキシャルSi層101を形成する。その膜厚は、溝パターン123の中を完全に埋め込めるような膜厚に設定される。その膜厚の具体的一例は、400nm程度である。次に、マスク層(SiO_2)122をマスクに用いて、エピタキシャルSi層101の表面をCMPし、溝パターン123からマスク層122上にはみ出したエピタキシャルSi層101を除去する。これにより、エピタキシャルSi層101の表面の凹凸を除去する。このようにすると、溝パターン123中に形成されたエピタキシャルSi層101のファセット等を除去でき、溝パターン123に、エピタキシャルSi層101を精度良く形成できる。エピタキシャル成長の際の成長温度や雰囲気、前処理等には注意し、例えばエピタキシャルSi層101とSi基板110との界面に、結晶欠陥等が形成されないようにすることが重要である。

【0197】また、本例では、マスク層(SiO_2)122をマスクに用いて、エピタキシャルSi層101をCMPしたが、CMP条件等を調整することにより、マスク層(SiO_2)122を、省略することもできる。

【0198】次に、図39A、図39Bに示すように、エピタキシャルSi層101中の少なくともトランジス

タ・チャネル形成領域を含む領域に、レジスト膜（図示せぬ）をマスクに用いて、例えばボロンイオン（ B^+ ）をイオン注入し、ピーク濃度で $2 \times 10^{18} \text{ cm}^{-3}$ 程度の不純物濃度を持つ高濃度不純物層 112 を形成する。この高濃度不純物層 112 は、パンチスルー・ストッパー層として機能する。この工程時、エピタキシャル Si 層 101 表面には、8 nm 程度の膜厚の酸化膜（図示せず）を形成しておき、レジスト膜からのエピタキシャル Si 層 101 への汚染、例えばメタル汚染等を防止する。また、注入されたイオンの活性化には、例えば 900℃、窒素（ N_2 ）雰囲気中で 5 分程度の RTA 処理を用いる。これにより、急峻なプロファイルを持つ P 型高濃度不純物層 112 を形成することができる。さらに、例えばトランジスタ・チャネル形成領域を含む領域に、レジスト膜（図示せず）をマスクに用いて、所望の導電型の不純物イオンを注入し、チャネル不純物層 115 を形成する。このとき、チャネル不純物層 115 は、不純物イオンをトランジスタ・チャネル領域にのみ選択的に注入することで形成しても良い。形成される MOSFET が N チャネル型で、そのしきい値電圧（ V_{th} ）を、例えば 0.7 V 程度に設定したい場合には、例えばボロンイオン（ B^+ ）を、加速電圧 20 KeV、 $5 \times 10^{12} \text{ cm}^{-2}$ 程度イオン注入し、P 型のチャネル不純物層 115 を、チャネルとなる領域に、選択的に均一なプロファイルとなるように形成する。この工程は、酸化膜（図示せず）を通してイオン注入を行なう。チャネル不純物層 115 の活性化は、この後、例えば RTA 処理を用いて、例えば 750℃、10 秒程度の熱処理で行なっても良い。

【0199】次に、図 40A、図 40B に示すように、マスク層（ SiO_2 ）122、および上記酸化膜（図示せず）を除去し、マスク層（ SiN ）121 を、例えばホットリン酸溶液を用いて完全に除去する。このようにすることにより、エピタキシャル Si 層 101 の下部領域の周辺にのみ、素子分離絶縁膜（ SiO_2 ）114 を均一な膜厚でウェーハ全面に残置することができる。

【0200】次に、図 41A、図 41B に示すように、エピタキシャル Si 層からなるフェンス 113 の上面と、およびその側面に露出した Si 層の表面に、ゲート絶縁膜 118 を形成する。ゲート絶縁膜 118 は、例えば露出した Si の表面を、例えば 700℃ 程度のラジカル酸化法を用いて、約 2.5 nm 程度酸化することで形成される。このラジカル酸化法を用いたゲート絶縁膜 118 の形成では、特に側面の面方位に依存し難く、Si 表面の凸凹が少ない酸化膜を実現できるので、チャネル界面散乱によるチャネル・モビリティの低下の少ない MOS トランジスタを実現できる。また、ラジカル酸化は、酸化膜の膜厚がある温度では一定の膜厚しか形成できないので、酸化膜のウェーハ面内およびチップ間での酸化膜の膜厚バラツキを少なくできる、という特長があ

る。もちろん、ゲート絶縁膜 118 には、熱酸化法を用いて、通常熱酸化膜を形成し、その表面を、窒素を含むガスで窒化することにより $SiON$ 膜とする、いわゆる「オキシナイトライド膜」ゲート絶縁膜を用いても良い。

【0201】また、図 25 を参照して上述したように、ゲート絶縁膜 118 には、 Ta_2O_5 （タンタルオキシド）膜、 Al_2O_3 膜、 La_2O_3 膜、 HfO_2 膜、 ZrO_2 膜等の、いわゆる高誘電体絶縁膜を用いても良いし、例えば 1 nm 程度の Si 酸化膜系の膜を Si 界面に形成してから、その上に Ta_2O_5 膜を形成する、いわゆる積層膜ゲート絶縁膜構造にして使用しても良い。

【0202】次に、図 42A、図 42B に示すように、ゲート電極 116 となる、例えば N 型不純物をドーブしたドーフト多結晶 Si 膜（膜厚 50 nm 程度）を、図 41A、図 41B に示す構造上に堆積形成し、その上にゲートキャップ膜 124 となる、例えば SiN 膜を 50 nm 程度、堆積形成する。次いで、レジスト膜（図示せず）をマスクに用いて、まず、ゲートキャップ絶縁膜（ SiN ）124 をエッチングし、次いで、ゲートキャップ絶縁膜（ SiN ）124 をマスクに用いて、ドーフト多結晶 Si 膜をパターニングする。これにより、ゲート電極 116 が形成される。このとき、ゲート電極 116 は、フェンス 113 の段差を跨ぐように加工される。このため、ゲート電極 116 のエッチング速度とゲート絶縁膜 118 や素子分離絶縁膜 114 とのエッチング速度との比（選択比）を充分にとれる、例えば 400 程度あるような条件を用いて、ドーフト多結晶 Si 膜をパターニングすることが重要である。このようなエッチング条件を用いることで、凸状薄膜 Si 層 113 へのエッチング・ダメージを防止できる。

【0203】また、ゲート電極 116 の抵抗を低下させるために、ドーフト多結晶 Si 膜の代わりに、メタル膜（ TiN 膜、 W 膜、 Al 膜などやその積層膜）、あるいは多結晶 Si 膜と W 膜、 TiN 膜、 Al 膜、 Cu 膜などのメタル膜や $TiSi_2$ 膜などのシリサイド膜との積層ゲート電極構造を用いることも可能である。

【0204】さらに、ゲート電極 116 の材料を TiN 等とした場合、その配向性等を調整することにより、ゲート電極 116 の仕事関数の変化を利用して MOSFET のしきい値電圧を調整することも可能である。

【0205】また、ゲート電極 110 の長さ（いわゆるゲート長）は、例えば 70 nm 程度とする。この発明では、PMOSFET のショートチャネル効果を抑制できるので、N チャネル、PMOSFET 共に同じチャネル長を用いるように設計しても良い。

【0206】以下の工程は、特別に図示しないが、第 1 実施形態の図 9A、図 9B に以降に示したように、ソース／ドレイン領域の形成、全面に $CVD-SiO_2$ 膜を堆積した後の CMP による平坦化、コンタクトホール

成、さらに、Al配線層の形成、全面にパッシベーション膜の堆積により、MOSFETの基本構造が完了する。

【0207】このようなエピタキシャルSi層101を用いて、フェンス113を形成し、フェンス113の両側面に、好ましくは完全空乏化チャネルを持つダブルゲート型のMOSFET構造により、

(1) フェンス113の幅を溝パターン123の幅で決めることができ、凸状薄膜Si層113をエッチングにより形成する場合に比べて、側面のエッチング・ダメージが無いので、側面のゲート絶縁膜118の歩留まりが良い。

【0208】(2) フェンス113の下部領域の周辺に、素子分離絶縁膜114の膜厚を一定に形成できるため、素子分離の歩留まりが向上する。

【0209】(3) フェンス113中に形成したソース／ドレイン領域と凸状薄膜Si層の下部領域に形成した素子分離絶縁膜114の間を離すことにより、本MOSFETのチャネル幅を、ソース／ドレイン領域の深さにより制御することができる。

【0210】(4) フェンス113の幅(W_g)は0.20 μm より狭いものとするにより、両側に形成したゲート電極116によって、チャネル領域115を完全に空乏化することができる。チャネル領域115を完全に空乏化できることで、チャネル領域115の不純物濃度を、平面型のチャネルの場合に比べて低濃度化することができる。このため、チャネル領域115におけるキャリアのモビリティの低下を抑制できる。また、不純物濃度の揺らぎの影響を受け難い。また、ゲート絶縁膜118の膜厚バラツキに対しても、強い構造を実現できる。

【0211】(5) フェンス113のチャネル領域115とウェル111（もしくはSi基板110）との間に、高濃度不純物層（パンチスルー・ストッパー層）112を設けることにより、MOSFETのパンチスルーを防止することができる。

【0212】(6) フェンス113の側面において、ソースとドレイン間の距離を、フェンス113の上部領域において短く、下部領域に向かって広くなるような形状を実現することにより、ソース／ドレイン間のパンチスルーを防止できる。

【0213】(7) フェンス113の下部領域において、ソース／ドレイン領域117の一部が、ゲート電極116よりも自己整合的に外側になった、従来と極めて異なった形状に形成する。このようなゲート電極116とソース／ドレイン領域117の一部とが互いにオフセットするオフセット構造を設けることによって、フェンス113の下部領域におけるパンチスルーを効果的に防止できる。

【0214】(8) フェンス113を持つトランジスタ

構造において、ゲート絶縁膜118に Ta_2O_5 膜などのいわゆる高誘電体絶縁膜を用いることができる。そして、トランジスタ構造が凸状で、側面の両側にゲート電極116がある構造のため、より効果的にトランジスタのカットオフ特性を向上できる。

【0215】（第17実施形態）図43A～図47A、図43B～図47Bは、この発明の第17の実施形態に係るMOSFETの製造方法を示す工程断面図である。なお、図43A～図47Aに示す断面は図2Bに示す断面に相当し、図43B～図47Bに示す断面は図2Cに示す断面に相当する。

【0216】第16実施形態では、エピタキシャルSi層101を用いて、凸状薄膜Si層113を形成し、完全空乏化チャネルを持つダブルゲート型のMOSFET構造を形成する、という製造方法について説明した。

【0217】本第17実施形態では、エピタキシャルSi層101を用いて、フェンス113を形成するが、そのフェンス113の上面に、その側面と異なった膜厚のゲート絶縁膜118bを形成する方法について述べる。

【0218】まず、図43A、43Bに示すように、不純物濃度 $5 \times 10^{15} \text{cm}^{-3}$ 程度の面方位(100)P型Si基板110のトランジスタ・チャネル領域に、NMOSFETを形成する場合にはP型ウェル111（ピーク不純物濃度で、例えば $4 \times 10^{17} \text{cm}^{-3}$ 程度）を、例えばボロンイオン(B^+)を、加速電圧260KeV、ドーズ量 $2 \times 10^{13} \text{cm}^{-2}$ 程度イオン注入することにより形成する。また、PMOSFETを形成する場合にはNウェル（図示せず）を形成する。次に、Si基板110上方の全面に、後に素子分離絶縁膜となる SiO_2 膜114を、例えば100nm程度形成する。次に、エピタキシャルSi層を成長する場合の溝のメイン材料となるマスク層(SiN)121を、例えば250nm程度形成する。次に、これらの積層膜に、例えば通常のレジスト膜（図示せず）とRIE法とを用いて、所望のパターンを形成する。本例では、エピタキシャルSi層からなるフェンスを形成するための溝パターン123が形成される。この後、次の工程で行われるSiのエピタキシャル成長を考慮し、溝パターン123から露出したSi基板10の表面から、RIE時のエッチング・ダメージや有機物汚染層等を除去する工程を行なっても良い。次に、溝パターン123から露出したSi基板110の表面から自然酸化膜等を除去した後、Siをエピタキシャル成長させ、エピタキシャルSi層101を形成する。その膜厚は、溝パターン123の中を完全に埋め込めるような膜厚に設定される。その膜厚の具体的一例は、400nm程度である。次に、エピタキシャルSi層101の表面をCMPし、溝からはみ出したエピタキシャルSi層を除去する。これにより、エピタキシャルSi層101の表面の凹凸を除去する。このようにすると、溝パターン123中に形成されたエピタキシャルSi層1

01 のファセット等を除去でき、溝パターン 123 に、エピタキシャル Si 層 101 を精度良く形成できる。エピタキシャル成長の際の成長温度や雰囲気、前処理等には注意し、例えばエピタキシャル Si 層 101 と Si 基板 110 との界面に、結晶欠陥等が形成されないようにすることが重要である。

【0219】次に、図 44A、図 44B に示すように、露出したエピタキシャル Si 層 101 表面に、ゲート絶縁膜 (TOP 絶縁膜) 118b を、例えば 20 nm 程度形成する。このとき、熱酸化法を用いると、マスク層 (SiN) 121 があることから、露出したエピタキシャル Si 層 101 の表面にのみ、選択的にゲート絶縁膜 (TOP 絶縁膜) 118b を形成できる。

【0220】次に、図 45A、図 45B に示すように、エピタキシャル Si 層 101 中の少なくともトランジスタ・チャンネル形成領域を含む領域に、レジスト膜 (図示せず) をマスクに用いて、例えばボロンイオン (B^+) をイオン注入し、ピーク濃度で $8 \times 10^{17} \text{ cm}^{-3}$ 程度の不純物濃度を持つ高濃度不純物層 112 を形成する。この高濃度不純物層 112 は、パンチスルー・ストッパー層として機能する。このときに注入されたイオンの活性化には、例えば 900℃、窒素 (N_2) 雰囲気中で 5 分程度の RTA 処理を用いる。これにより、急峻なプロファイルを持つ P 型高濃度不純物層 112 を形成する。さらに、例えばトランジスタ・チャンネル形成領域を含む領域に、レジスト膜 (図示せず) をマスクに用いて、所望の導電型の不純物イオンを注入し、チャンネル不純物層 115 を形成する。このとき、チャンネル不純物層 115 は、不純物イオンをトランジスタ・チャンネル領域にのみ選択的に注入することで形成しても良い。形成される MOSFET が N チャンネル型で、そのしきい値電圧 (V_{th}) を、例えば 0.4 V 程度に設定したい場合には、例えばボロンイオン (B^+) を、加速電圧 20 KeV、 $3 \times 10^{12} \text{ cm}^{-2}$ 程度イオン注入し、P 型のチャンネル不純物層 115 を、チャンネルとなる領域に、選択的に均一なプロファイルとなるように形成する。チャンネル不純物層 115 の活性化は、この後、例えば RTA 処理を用いて、例えば 750℃、10 秒程度の熱処理で行なっても良い。

【0221】なお、本例では、P 型のチャンネル不純物層 115 を得るためのイオン注入を、ゲート絶縁膜 (TOP 絶縁膜) 118b を通して行なう例を示した。しかし、まず、8 nm 程度の膜厚の犠牲酸化膜をエピタキシャル Si 層 101 の表面に形成し、この犠牲酸化膜を通してイオン注入を行なった後に、この犠牲酸化膜を剥離して、新たにエピタキシャル Si 層 101 の表面に、ゲート絶縁膜 (TOP 絶縁膜) 118b を形成しても良い。このように犠牲酸化膜を通したイオン注入を行うことで、レジスト膜をマスクにしてイオン注入を行なうときのレジスト膜からのエピタキシャル Si 層 101 への

メタル汚染等を防止することができる。

【0222】次に、図 46A、図 46B に示すように、マスク層 (SiN) 121 を、例えばホットリン酸溶液を用いて完全に除去する。このようにすることにより、エピタキシャル Si 層 101 の下部領域の周辺にのみ、素子分離絶縁膜 (SiO_2) 114 を均一な膜厚でウェーハ全面に残置することができる。次に、エピタキシャル Si 層からなるフェンス 113 の上面と、およびその側面に露出した Si 層の表面に、ゲート絶縁膜 118 を形成する。ゲート絶縁膜 118 は、例えば露出した Si の表面を、例えば 700℃ 程度のラジカル酸化法を用いて、約 2.5 nm 程度酸化することで形成される。このラジカル酸化法を用いたゲート絶縁膜 118 の形成では、特に側面の面方位に依存し難く、Si 表面の凸凹が少ない酸化膜を実現できるので、チャンネル界面散乱によるチャンネル・モビリティの低下の少ない MOS トランジスタを実現できる。また、ラジカル酸化は、酸化膜の膜厚がある温度では一定の膜厚しか形成できないので、酸化膜のウェーハ面内およびチップ間での酸化膜の膜厚バラツキを少なくできる、という特長がある。もちろん、ゲート絶縁膜 118 には、熱酸化法を用いて、通常熱酸化膜を形成し、その表面を、窒素を含むガスで窒化することにより SiON 膜とする、いわゆる「オキシナイトライド膜」ゲート絶縁膜を用いても良い。

【0223】また、図 25 を参照して上述したように、ゲート絶縁膜 118 には、 Ta_2O_5 (タンタルオキシaid) 膜や HfO_2 膜、 ZrO_2 膜等の、いわゆる高誘電体絶縁膜を用いても良いし、例えば 1 nm 程度の Si 酸化膜系の膜を Si 界面に形成してから、その上に Ta_2O_5 膜を形成する、いわゆる積層膜ゲート絶縁膜構造にして使用しても良い。

【0224】次に、図 47A、図 47B に示すように、ゲート電極 116 となる、例えば N 型不純物をドーブしたドーフト多結晶 Si 膜 (膜厚 80 nm 程度) を、図 41A、図 41B に示す構造上に堆積形成し、その上にゲートキャップ膜 124 となる、例えば SiN 膜を 50 nm 程度、堆積形成する。次いで、レジスト膜 (図示せず) をマスクに用いて、まず、ゲートキャップ絶縁膜 (SiN) 124 をエッチングし、次いで、ゲートキャップ絶縁膜 (SiN) 124 をマスクに用いて、ドーフト多結晶 Si 膜をパターニングする。これにより、ゲート電極 116 が形成される。このとき、ゲート電極 116 は、フェンス 113 の段差を跨ぐように加工される。このため、ゲート電極 116 のエッチング速度とゲート絶縁膜 118 や素子分離絶縁膜 114 とのエッチング速度との比 (選択比) を充分に取れる、例えば 400 程度あるような条件を用いて、ドーフト多結晶 Si 膜をパターニングすることが重要である。このようなエッチング条件を用いることで、フェンス 113 へのエッチング・ダメージを防止できる。

【0225】また、ゲート電極16の抵抗を低下させるために、ドーパント多結晶Si膜の代わりに、メタル膜（TiN膜、W膜、Al膜などやその積層膜）、あるいは多結晶Si膜とW膜、TiN膜、Al膜、Cu膜などのメタル膜やTiSi₂膜などのシリサイド膜との積層ゲート電極構造を用いることも可能である。

【0226】さらに、ゲート電極16の材料をTiN等とした場合、その配向性等を調整することにより、ゲート電極16の仕事関数の変化を利用してMOSFETのしきい値電圧を調整することも可能である。

【0227】また、ゲート電極16の長さ（いわゆるゲート長）は、例えば50～70nm程度とする。この発明では、詳しくは後述するがPMOSFETのショートチャネル効果を抑制できるので、Nチャネル、PMOSFET共に同じチャネル長を用いるように設計しても良い。

【0228】このような構造を用いることで、フェンス113の3面（上面、両側面）のチャネル領域115において、上面に形成されたゲート絶縁膜（TOP絶縁膜）118bの膜厚が、両側面に形成されたゲート絶縁膜118aの膜厚より厚いため、上部コーナーにおけるゲート電界集中の影響を低減することができる。よって、しきい値電圧を所望の値に高精度に設定でき、また、基板バイアス特性、即ち基板バイアスを印加したときのしきい値電圧の変動を抑制することができる。

【0229】（第18実施形態）図48Aはこの発明の第18実施形態に係る相補型MOSFETを示す平面図、図48Bは図48A中の48B-48B線に沿う断面図、図48Cは図48A中の48C-48C線に沿う断面図、図48Dは図48A中の48D-48D線に沿う断面図である。

【0230】以下、第18実施形態を、その製造方法とともに説明する。

【0231】図49～図54はそれぞれ、第18実施形態に係る相補型MOSFETを主要な製造工程毎に示す工程断面図である。なお、図49～図54に示す断面は、図48Bに示す断面に対応している。

【0232】まず、図49に示すように、不純物濃度 $5 \times 10^{15} \text{ cm}^{-3}$ 程度の面方位(100)P型Si基板310の、NMOSFET形成領域（NMOSFET領域）に、レジスト膜（図示せぬ）をマスクに用いて、例えばボロンイオン（B⁺）を、加速電圧200KeV、ドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ 程度イオン注入し、P型ウェル311p（ピーク不純物濃度で、例えば $4 \times 10^{17} \text{ cm}^{-3}$ 程度）を形成する。

【0233】次に、P型ウェル311p中の、少なくともNチャネルのトランジスタ・チャネル形成領域を含む領域に、レジスト膜（図示せぬ）をマスクに用いて、例えばボロンイオン（B⁺）をイオン注入し、ピーク濃度で $8 \times 10^{17} \text{ cm}^{-3}$ 程度の不純物濃度を持つP型高濃度

不純物層312pを形成する。P型高濃度不純物層312pは、パンチスルー・ストッパー層として機能する。

【0234】次に、P型Si基板310の、PMOSFET形成領域（PMOSFET領域）に、レジスト膜（図示せぬ）をマスクに用いて、例えばリンイオン（P⁺）を、加速電圧600KeV、ドーズ量 $2.5 \times 10^{13} \text{ cm}^{-2}$ 程度イオン注入し、N型ウェル311n（ピーク不純物濃度で、例えば $5 \times 10^{17} \text{ cm}^{-3}$ 程度）を形成する。

10 【0235】次に、N型ウェル311n中の、少なくともPチャネルのトランジスタ・チャネル形成領域を含む領域に、レジスト膜（図示せぬ）をマスクに用いて、例えばリンイオン（P⁺）を、加速電圧130KeV、ドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ 程度でイオン注入し、ピーク濃度で $9 \times 10^{17} \text{ cm}^{-3}$ 程度の不純物濃度を持つN型高濃度不純物層312nを形成する。N型高濃度不純物層312nは、パンチスルー・ストッパー層として機能する。

20 【0236】これらのイオン注入工程時、P型Si基板310の表面に、8nm程度の膜厚の酸化膜（図示せず）を形成しておく。このようにして、レジスト膜（図示せず）からのP型Si基板310への汚染、例えばメタル汚染を防止する。また、注入されたイオンの活性化には、例えば900℃、窒素（N₂）雰囲気中で5分程度のRTA処理を用いる。これにより、急峻なプロファイルを持つ高濃度不純物層312p、312nを形成することができる。

30 【0237】さらに、全面にP型で、 10^{15} cm^{-3} 程度の不純物濃度を持つエピタキシャルSi層301を、膜厚200nm程度形成する。

40 【0238】さらに、例えばトランジスタ・P型チャネル形成領域、およびN型チャネル形成領域を含む領域に、レジスト膜（図示せず）をマスクに用いて、所望の導電型の不純物イオンを注入し、N型チャネル不純物層315n、P型チャネル不純物層315pを形成する。このとき、これらチャネル不純物層315n、P型チャネル不純物層315pはそれぞれ、不純物イオンをトランジスタ・P型チャネル形成領域、およびN型チャネル形成領域にのみ選択的に注入することで形成しても良い。本例では、後者を採用しており、図49に示す断面には、それぞれ選択的に形成されたLOCALチャネル領域（P型層）315p、およびLOCALチャネル領域（N型層）315nが示されている。

50 【0239】形成されるMOSFETがNチャネル型で、そのしきい値電圧（V_{th}）を、例えば0.4V程度に設定したい場合には、例えばフッ化ボロンイオン（BF₂⁺）を、15KeV、 $3 \times 10^{12} \text{ cm}^{-2}$ 程度イオン注入し、P型LOCALチャネル領域315pを、チャネルとなる領域に、選択的に均一なプロファイルとなるように形成する。

【0240】同様に、形成されるMOSFETがPチャネル型で、そのしきい値電圧(V_{th})を、例えば-0.4V程度に設定したい場合には、例えばリンイオン(P^+)を、加速電圧100KeV、ドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ 程度イオン注入し、N型LOCALチャネル領域315nを、チャネルとなる領域に、選択的に均一なプロファイルとなるように形成する。これらの工程は、酸化膜(図示せず)を通してイオン注入を行なう。このチャネル領域315p、315nの活性化は、この後、例えば、RTA処理を用いて、例えば750℃、10秒

【0241】次に、上記酸化膜(図示せず)を除去し、再度、全面に5nm程度の膜厚の SiO_2 層320、20nm程度の膜厚のマスク層(SiN)膜321、20nm程度の膜厚のマスク層(SiO_2 層)322を形成し、リソグラフィ法とRIE法を用いて、所望の形状、例えばNMOSFET、およびPMOSFETそれぞれの素子領域となる形状に加工する。図49中の点線は、後の工程でエッチング除去される領域を示している。

【0242】次に、図50に示すように、図49に示す構造を、マスク層322をエッチングマスクに用いてエッチングし、ソース、ドレイン、チャネルとなるフェンス313p、313nをそれぞれ形成する。これらフェンス313p、313nの高さはそれぞれ、例えば250nm程度である。このように、図49に示す構造を、 Si 基板310中のP型ウェル311pの一部、およびN型ウェル311nの一部に達するまで、例えばRIE法を用いてエッチングすることで、深さ250nm程度の溝が形成される。これにより、フェンス313p、313nがそれぞれ形成される。次に、フェンス313p、313nの側面や溝の底を、アッシングとウェット処理等を用いてクリーニングするとともに、RIEによってダメージを受けた Si 層を除去する。これにより、フェンス313p、313nの側面や溝の底に、ダメージの少ない Si 表面を露出させる。次に、フェンス313p、313nの側面や溝の底に、界面特性を良くする目的で、酸化膜(図示せず)を形成する。この酸化膜の形成には、低温(例えば700℃程度)で良質の酸化膜を形成できる、酸素ラジカルを用いたラジカル酸化法を用いるのが望ましい。このようにラジカル酸化法を用いて、フェンス313p、313nの側面や溝の底に、7nm程度の膜厚の酸化膜(図示せず)を形成する。

【0243】次に、前記酸化膜を介して、溝を、絶縁膜、例えば SiO_2 、好ましくはTEOS- SiO_2 層323により埋め込む。これにより、いわゆるトレンチ型素子分離(STI)を形成する。これには、全面に500nm程度のTEOS- SiO_2 層323を、成膜温度650℃程度のCVD法を用いて堆積形成した後、例えば700℃程度のラジカル酸化雰囲気、TEOS- SiO_2 層323を、CVD酸化膜のデンシファイする。こ

の後、CMP法を用いて、TEOS- SiO_2 層323の表面を、平坦化する。このとき、 SiN 膜321の表面まで、TEOS- SiO_2 層323を埋め込む。これにより、溝は、TEOS- SiO_2 層323により平坦に埋め込まれる。

【0244】次に、図51に示すように、TEOS- SiO_2 層323を、例えばRIE法を用いてエッチバックすることにより、溝の底部に、例えば100nm程度の膜厚となる素子分離用の素子分離絶縁膜314を形成する。

【0245】次に、図52に示すように、マスク層(SiN)321を、例えばホット燐酸等を用いて、ウェット除去する。次いで、溝の側面に形成されている酸化膜(図示せず)および SiO_2 層320を、フッ酸系の溶液を用いて剥離し、フェンス313p、313nの上面、およびその側面から Si 表面を露出させる。次いで、露出した Si の表面に、例えば700℃程度のラジカル酸化法を用いて、約2.5nm程度の膜厚のゲート絶縁膜318を形成する。このラジカル酸化法を用いたゲート絶縁膜318の形成では、特に側面の面方位に依存し難く、 Si 表面の凸凹が少ない酸化膜を実現できるので、チャネル界面散乱によるチャネル・モビリティの低下の少ないMOSトランジスタを実現できる。また、ラジカル酸化は、酸化膜の膜厚がある温度では一定の膜厚しか形成できないので、酸化膜のウェーハ面内およびチップ間での酸化膜の膜厚バラツキを少なくできる、という特長がある。もちろん、ゲート絶縁膜318には、熱酸化法を用いて、通常熱酸化膜を形成し、その表面を、窒素を含むガスで窒化することにより SiON 膜とする、いわゆる「オキシナイトライド膜」ゲート絶縁膜を用いても良い。

【0246】さらに、図25に示すように、ゲート絶縁膜18は、 SiO_2 膜に限らず、 Ta_2O_5 (タンタルオキサイド)膜や、 HfO_2 膜、 ZrO_2 膜等の、いわゆる高誘電体絶縁膜(high-K膜)を用いても良い。また、 Ta_2O_5 膜を用いた場合、 Si 界面との界面準位密度を減らすために、例えば1nm程度の Si 酸化膜系の膜を Si 界面に形成してから、その上に Ta_2O_5 膜を形成する、いわゆる積層膜ゲート絶縁膜構造にして使用しても良い。

【0247】次に、図53に示すように、ゲート電極316となる、例えばN型不純物がドーブされたドーフト多結晶 Si 膜(膜厚50nm程度)を、図52に示す構造上に堆積形成し、その上にゲートキャップ絶縁膜324となる、例えば SiN 膜を100nm程度、堆積形成する。次いで、レジスト膜(図示せず)をマスクに用いて、まず、ゲートキャップ絶縁膜(SiN)324をエッチングし、次いで、ゲートキャップ絶縁膜(SiN)324をマスクに用いて、ドーフト多結晶 Si 膜をパターニングする。これにより、ゲート電極316が形成さ

れる。このとき、ゲート電極316は、フェンス313の段差を跨ぐように加工される。このため、ゲート電極316のエッチング速度とゲート絶縁膜318のエッチング速度との比（選択比）を充分にとれる、例えば400程度あるような条件を用いて、ドーフト多結晶Si膜をパターンニングすることが重要である。このようなエッチング条件を用いることで、フェンス313p、313nそれぞれへのエッチング・ダメージを防止できる。また、ゲート電極316の抵抗を低下させるために、ドーフト多結晶Si膜の代わりに、メタル膜（TiN膜、W膜、Al膜などやその積層膜）、あるいは多結晶Si膜とW膜、TiN膜、Al膜、Cu膜などのメタル膜やTiSi₂膜などのシリサイド膜との積層ゲート電極構造を用いることも可能である。さらに、ゲート電極316の材料をTiN等とした場合、その配向性等を調整することにより、ゲート電極316の仕事関数の変化を利用してMOSFETのしきい値電圧を調整することも可能である。

【0248】さらに本例のようにCMOS構造の場合、NチャネルにはN⁺型多結晶Si層ゲート電極、PチャネルにはP⁺型多結晶Si層ゲート電極を電極界面層として用いることも可能である。

【0249】また、ゲート電極316の長さ（いわゆるゲート長）は、例えば70nm程度とする。この発明では、PMOSFETのショートチャネル効果を抑制できるので、Nチャネル、PMOSFET共に同じチャネル長を用いるように設計することも可能である。

【0250】次に、図54に示すように、レジスト膜（図示せず）、ゲートキャップ絶縁膜324、およびゲート電極316をマスクに用いたイオン注入法により、P型ソース／ドレイン領域317p、およびN型ソース／ドレイン領域317nをそれぞれ形成する。このとき、ゲート電極316の側壁や、底部コーナーの電界集中を緩和するために、ゲート電極316を、例えばラジカル酸化法や低温のRTO法等を用いて酸化し、例えば2nm程度の膜厚を持つ酸化膜（図示せず）を形成しても良い。

【0251】また、ソース／ドレイン領域317p、317nの深さ（Xj）制御は、凸状Siトランジスタのチャネル幅を決める重要な工程である。特にソース／ドレイン領域317p、317nの不純物の活性化等を含めて熱処理の温度設定に注意が必要である。

【0252】本例では、このために、まず、N⁻型拡散層317naと、P⁻型拡散層317paとを、ゲート電極316をマスク用いて形成した後、絶縁膜（SiO₂膜やSiN膜）を、全面にCVD法で堆積する。また、N⁻型拡散層317naを形成する際のイオン注入条件は、例えば、リンイオン（P⁺）の注入を、加速電圧40KeV、ドーズ量 $4 \times 10^{13} \text{ cm}^{-2}$ 程度である。もちろん、砒素イオン（As）等をイオン注入しても良

い。この後、全面をRIEし、ゲート電極316パターンの側壁、およびフェンス313p、313nの側壁に、側壁絶縁膜325を形成する。この後、例えば砒素（As⁺）イオンを、加速電圧20KeV、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ 程度イオン注入し、N型ソース／ドレイン領域（N⁺型拡散層）317nbを形成し、さらにフッ化簿RN（BF₂⁺）イオンを注入し、P型ソース／ドレイン領域（P⁺型拡散層）317nbを形成する。これにより、図29Dに示したような、いわゆるゲート・エクステンション構造を持ったソース／ドレイン領域317p、317nをそれぞれ形成する。もちろんシングル・ソース／ドレイン構造とすることも可能である。

【0253】N型ソース／ドレイン領域317nの深さ（Wn）、およびP型ソース／ドレイン領域317pの深さ（Wp）は、最終的なイオン注入層形成後の熱的な活性化や熱処理条件により制御される。例えばN型の接合深さ（Wn）=0.15μm程度になるように、また、P型の接合深さ（Wp）：0.20μm程度になるようにそれぞれのイオン注入条件（加速電圧とドーズ量）および熱的な活性化条件を制御して実現する。

【0254】また、ソース／ドレイン領域317n、317pの比抵抗を低下させる必要がある場合には、例えば $< 50 \mu \Omega \text{ cm}$ 程度より低くした場合には、ソース／ドレイン領域317n、317pの表面に、TiSi₂やCoSi₂、PtSi、Pd₂Si、IrSi₃、RhSi等のシリサイド層（図示せず）を形成しても良い。特にP型ソース／ドレイン領域317pにおいては、Pd₂Siが有効である。

【0255】本例では、フェンス313pの側面のN型ソース／ドレイン領域317nの下部、およびフェンス313nの側面のP型ソース／ドレイン領域317pの下部それぞれに、ゲート電極316とオフセットとなるオフセット領域が存在することになる。これはソース／ドレイン領域317n、317pを、表面からのイオン注入法と熱拡散により形成しているからである。このオフセット領域の存在と、パンチスルー防止のためのイオン注入層（パンチスルー・ストッパー層312）とにより、ソース／ドレイン領域317n、317pの下部領域におけるパンチスルーが防止できる構造となっている。

【0256】さらに本例では、フェンス313n、313pそれぞれの側面が、側壁絶縁膜325によって覆われているので、ソース／ドレイン領域317n、317pを形成するためのイオン注入時、フェンス313n、313pそれぞれの上面へのイオン注入がメインとなり、側面への不純物のイオン注入は防止できる構造となっている。

【0257】次に、図48A～図48Dに示すように、CVD法を用いて、図54に示した構造上に、SiO₂を、例えば500nm程度堆積し、層間絶縁膜326を

形成する。この後、層間絶縁膜 326 を、例えば 700℃ 程度のラジカル酸化雰囲気中で、例えば 30 分程度デンスファイする。この熱工程は、ソース／ドレイン領域 317n、317p のイオン注入層の活性化を兼ねて行っても良い。これらソース／ドレイン領域 317n、317p の深さ (Wn、Wp) を制御したい時は、デンスファイの温度を低温化する、あるいは例えば 850℃ 程度で msec (ミリ秒) 程度の RTA 処理を行っても良い。さらにはこれらを併用してソース／ドレイン領域 317n、317p のイオン注入層の活性化を行なっても良い。この後、CMP 法を用いて、層間絶縁膜 326 を平坦化し、素子表面を平坦化する。次に、レジスト膜 (図示せず) と RIE 法を用いて、コンタクトホール 327 を形成し、そのコンタクトホール 327 に W (タングステン) 膜や Al (アルミ) 膜、TiN (窒化チタン) 膜 / Ti (チタン) 膜やそれらの積層膜を埋め込み、コンタクトプラグ 328 を形成する。さらに Al 配線層 329 を形成する。さらに全面にパッシベーション膜 (図示せず) を堆積することで、この発明の第 18 実施形態に係る相補型 MOSFET の基本構造が完成する。

【0258】このように、この発明は、相補型 MOSFET にも適用できる。これにより、CMOS インバータ回路や、配線を変更することによって各種 CMOS 回路を構成できる。

【0259】また、特に図 48A～図 48D に示すように、平面的な設計面積は NMOSFET と PMOSFET で同じであるのに、N 型ソース／ドレイン領域 317n の深さ (Wn) と、P 型ソース／ドレイン領域 317p の深さ (Wp) が異なる。これは、平面的な設計面積が同じでも、N チャネルの、P チャネルのチャネル幅が異なる MOSFET を実現できていることを示している。

【0260】従来 CMOS 回路を設計する場合に、NMOSFET に比べて PMOSFET の平面的な設計面積をほぼ 2 倍に設計していた。電子のモビリティと正孔のモビリティとの差に起因した駆動能力のバラツキを抑制するためである。

【0261】しかし、この発明に係るフェンスを持つ CMOS を使えば、Wn と Wp の差を用いてチャネル幅を変えられることができるので、NMOSFET の平面面積と PMOSFET の平面面積との差を縮小することができる。これは本第 18 実施形態の大きな特長である。

【0262】本第 18 実施形態においても、

(1) フェンス 313p、313n の幅 (Wg) を、例えば 0.20μm より狭くすることにより、これらフェンス 313p、313n の両側面に形成したゲート電極 316 によって、P 型 LOCAL チャネル領域 315p、および N 型 LOCAL チャネル領域 315n 共に、完全に空乏化することができる。これらチャネル領域 3

15p、315n を完全に空乏化できることで、これらチャネル領域 315p、315n の不純物濃度をそれぞれ、平面型のチャネルの場合に比べて低濃度化することができる。このため、これらチャネル領域 315p、315n におけるキャリアのモビリティの低下を抑制できる。また、不純物濃度の揺らぎの影響を受け難い。また、ゲート絶縁膜 318 の膜厚バラツキに対しても、強い構造を実現できる。

【0263】(2) フェンス 313p、313n のチャネル領域 315p、315n とウェル 311p、311n (もしくは Si 基板 310) との間に、高濃度不純物層 (パンチスルー・ストッパー層) 312 を設けることにより、MOSFET のパンチスルーを防止することができる。

【0264】(3) フェンス 313p、313n の下部領域において、ソース／ドレイン領域 317p、317n の一部が、ゲート電極 316 よりも自己整合的に外側になった、従来と極めて異なった形状に形成する。このようなゲート電極 316 と、ソース／ドレイン領域 317p、317n の一部とが互いにオフセットするオフセット構造を設けることによって、フェンス 313p、313n の下部領域におけるパンチスルーを効果的に防止できる。

【0265】(4) フェンス 313p、313n のソース／ドレイン領域 317p、317n にコンタクトを形成する場合に、凸状薄膜 Si 層 313p、313n の上面のみならず、それらの側面の一部を使用してコンタクトを形成できる。なぜならソース／ドレイン領域 317p、317n となっているフェンス 313p、313n は、従来の同じゲート長を持つ MOSFET のソース／ドレイン領域の深さに比べて何倍も深いからである。このようなソース／ドレインへのコンタクト構造により微細な MOSFET でのコンタクト抵抗を低減できる。

【0266】(5) フェンス 313p、313n を持つトランジスタ構造において、ソース／ドレイン領域 317p、317n を、シングル・ソース／ドレイン構造ばかりでなく、いわゆる LDD 的な高濃度ソース／ドレイン領域 317pb、317nb と、低濃度ソース／ドレイン領域 317pa、317na とを持つ構造にしても良い。このようにするとソース／ドレイン領域 317p、317n 近傍の電界を緩和でき、MOSFET の信頼性を向上できる。

【0267】(6) フェンス 313p に形成された NMOSFET と、凸状薄膜 Si 層 313n に形成された PMOSFET とを用いて CMOS 回路を形成する場合、P 型ソース／ドレイン領域 317p の深さ (Wp) と、N 型ソース／ドレイン領域 317n の深さ (Wn) とを異ならせる。Wp と Wn とを異ならせることで、電子のモビリティと正孔のモビリティとの違いに起因した、PMOSFET と NMOSFET との平面的な設計寸法の

差を縮めることができる。

【0268】具体的には、P型ソース／ドレイン領域317pの深さ(Wp)を、N型ソース／ドレイン領域317nの深さ(Wn)よりも深くする。これにより、平面的な設計寸法は互いに同じであっても、PMOSFETのチャネル幅を、NMOSFETのチャネル幅より広くできる。これにより、CMOS回路を設計したとき、PMOSFETの面積を縮小でき、全体の回路面積を縮小できる。

【0269】(7)フェンス313p、313nに形成されたMOSFETを用いて、P型ソース／ドレイン領域317pの深さを互いに変える、また、N型ソース／ドレイン領域317nの深さを互いに変える。これにより、平面的な設計寸法が同じでも、チャネル幅が異なるMOSFETを実現できる。このようにすることにより、回路を設計したときにMOSFETの面積を縮小でき、全体の回路面積を縮小できる。

【0270】(第19実施形態)図55Aはこの発明の第19実施形態に係る相補型MOSFETを示す平面図、図55Bは図55A中の55B-55B線に沿う断面図、図55Cは図55A中の55C-55C線に沿う断面図である。

【0271】第18実施形態では、NMOSFETのN型ソース／ドレイン領域317nの深さWnと、PMOSFETのP型ソース／ドレイン領域317pの深さWpとを互いに異ならせる場合を示した。

【0272】本第19実施形態は、複数のNMOSFETそれぞれのN型ソース／ドレイン領域317n-1、317n-2、…317n-nの深さWn1、Wn2、…Wnnと、複数のPMOSFETそれぞれのP型ソース／ドレイン領域317p-1、317p-2、…317p-nの深さWp1、Wp2、…Wpnとを互いに異ならせる場合である。

【0273】図55A～図55Cでは、それぞれ2つの異なるソース／ドレイン領域深さ(チャネル幅に相当する)の場合を示しているが、n個の複数の深さを持つ場合に適用できることは明らかである。

【0274】このように複数のNチャネル、Pチャネルのチャネル幅を実現することにより、異なるチャネル幅を持つNMOSFET、PMOSFETを設計する自由度が増加する。すなわち、複数のチャネル幅をフェンス313n、または313pの数で実現するのか、本第19実施形態のように、複数のチャネル幅で実現するのかを、設計的、または製造的な点から選択できるようにする。このことは、本実施形態の大きな特長である。

【0275】(第20実施形態)図56は、この発明の第20実施形態に係るトレンチ型キャパシタ構造を持つDRAMメモリセルを示す断面図である。なお、図56中、点線で囲まれた領域は、1ビットのDRAMメモリセルに対応する。

【0276】本第20実施形態は、例えば第1実施形態で説明したMOSFETを、DRAMメモリセルの、トレンチ型キャパシタとビット線とを互いに接続するトランスファートランジスタに用いた例である。

【0277】図56に示すように、トレンチの上部側面でキャパシタの蓄積電極とソース／ドレイン領域が電気的に接続されている。従来の平面型MOSFETの構造では、この側壁コンタクト領域が縦型に深いソース／ドレインとなり、平面型MOSFETのソース／ドレイン薄膜化を阻害していた。

【0278】本第20実施形態のように、本発明に係るMOSFETを用いると、側壁コンタクトからの拡散層がMOSFETのソース／ドレイン領域へ影響を与えてソース／ドレインの深さが深くなっても、その影響を凸状Siの側壁に形成したゲート電極で十分に抑制できる。すなわち、側壁コンタクトからの拡散層の伸びによるショートチャネル効果を抑制できる構造となっている。この時、通過ワード線を実現するため、通常の側壁を含む第一のゲート電極はポリSi層により形成し、第一のゲート電極と通過ワード線は別の第二のゲート電極で接続する構造が望ましい。さらに第一のゲート電極間は絶縁膜で埋め込み形成するようにする方が望ましい。このようにすることで、フェンスを用いたMOSFET構造をDRAMのトランジスタに適用することができる。

【0279】(第21実施形態)図57は、この発明の第21実施形態に係るスタック型キャパシタ構造を持つDRAMメモリセルを示す断面図である。なお、図57中、点線で囲まれた領域は、1ビットのDRAMメモリセルに対応する。

【0280】本第21実施形態は、例えば第1実施形態で説明したMOSFETを、DRAMメモリセルの、スタック型キャパシタとビット線とを互いに接続するトランスファートランジスタに用いた例である。

【0281】図57に示すように、本例では、ビット線コンタクトと蓄積電極コンタクトがポリSiを用いてゲート電極の上部に持ち上げられて形成されているのが特徴である。従来の平面型MOSFETの構造では、微細なコンタクト領域で十分にコンタクト抵抗を低下させることが困難であった。本実施例の凸状Si構造MOSFETを用いると、コンタクトが平面部のみならず側面部も利用して形成できるためコンタクト抵抗が低減できる。また、Ta₂O₅膜やBST膜、STO膜などの高誘電体絶縁膜を用いたスタックキャパシタの場合、MOSFETを形成した後にキャパシタ形成を行なうが、その時の高温工程(750度程度の結晶化アニールなど)でMOSFETのソース／ドレイン領域深さが伸びてしまい、ショートチャネル効果が起きてしまう問題があった。

【0282】本第21実施形態のMOSFET構造では

ショートチャネル効果を十分に抑制できる。すなわち、キャパシタ形成工程でのソース／ドレイン領域の伸びによるショートチャネル効果を抑制できる構造となっている。この時、通過ワード線を実現するため、通常の側壁を含む第一のゲート電極はポリSi層により形成し、第一のゲート電極と通過ワード線は別の第二のゲート電極で接続する構造が望ましい。さらに第一のゲート電極間は絶縁膜で埋め込み形成するようにする方が望ましい。ここではビット線の上にキャパシタを形成する例を述べたが、キャパシタの上にビット線を構成しても良いし、配線の上にキャパシタを形成しても良い。このようにすることで、フェンスを用いたMOSFET構造をスタック型キャパシタDRAMのトランジスタに適用することができる。

【0283】(第2実施形態) 本第2実施形態は、フェンスを持つMOSFET素子を複数個(本例では2個の場合を示す)配列する場合のゲート電極の構造に関する。

【0284】図58はこの発明の第2実施形態に係るMOSFETを示す斜視図、図59Aはその平面図、図59Bは図59A中59B-59B線に沿う断面図、図59Cは図59A中の59C-59C線に沿う断面図、図59Dは図59A中の59D-59D線に沿う断面図である。なお、図58、図59A～図59Dでは、例えば第1実施形態の図2Aに示したコンタクト、配線、および側壁絶縁膜をそれぞれ省略している。

【0285】図58、図59A～図59Dに示すように、複数のフェンス13を高密度に配置、例えばフェンス13どうしが、互いに最小デザインルールで配置する。

【0286】この場合、第1ゲート電極16aである多結晶Si層が、フェンス13どうしの間に完全に埋め込まれ、第2ゲート電極16bであるメタル膜(例えばW膜、Al膜、TiN膜)やシリサイド膜(例えばTiSi2膜、WSi2膜、CoSi2膜など)が、平坦となった第1ゲート電極16aの表面上に形成される構造となる。

【0287】このように第2ゲート電極16bを、平坦となった第1ゲート電極16aの表面上に形成することで、例えば第2ゲート電極16bの材料であるメタル膜やシリサイド膜の形成が容易になる、あるいはゲート電極の加工が容易になる等の利点を得ることができる。

【0288】さらに第2ゲート電極16bの表面も平坦にできるので、ゲート電極の加工後は、従来の平面型MOSFETと同じような製造工程を使用できる、という利点を得ることができる。

【0289】(第3実施形態) 本第3実施形態は、第2実施形態と同様、フェンスを持つMOSFET素子を複数個(本例では2個の場合を示す)配列する場合のゲート電極の構造に関する。

【0290】図60はこの発明の第3実施形態に係るMOSFETを示す斜視図、図61はその断面図である。なお、図60の断面は、図59Bに示す断面に相当する。また、図60、図61では、例えば第1実施形態の図2Aに示したコンタクト、配線、および側壁絶縁膜をそれぞれ省略している。

【0291】図60に示すように、第1ゲート電極16aである多結晶Si層を、例えば20nm程度まで薄くする。そして、第2ゲート電極16bであるメタル膜やシリサイド膜を、第1ゲート電極16a間に埋め込むことも可能である。

【0292】このような第3実施形態では、例えば第2ゲート電極16bの表面を平坦にでき、ゲート電極の加工後は、従来の平面型MOSFETと同じような製造工程を使用できる、という利点を得ることができる。

【0293】(第4実施形態) 図62はこの発明に係るMOSFETのコンタクト部を示す斜視図、図63Aはこの発明に係るMOSFETのコンタクト部を示す平面図、図63Bは図63Aに示す矢印Bの方向から見た側面図、図63Cは図63Aに示す矢印Cの方向から見た側面図である。なお、図62、図63A～図63Cでは、例えば第1実施形態の図2Aに示したコンタクト、配線、および側壁絶縁膜をそれぞれ省略している。

【0294】図62、図63A～図63Cに示すように、この発明に係るMOSFETでは、ソース／ドレイン領域17の、例えばコンタクトプラグ28が接続される部分(以下電気的コンタクト部)50が、基本的にフェンス13の上面(TOP)、その互いに相対する2つの側面(SIDE I、SIDE II)の一部にそれぞれ跨っている。

【0295】この構造は、電気的コンタクト部50を、フェンス13の側面に沿い、その下方に向かって広げることが可能な構造である。このため、ソース／ドレイン領域17の幅、具体的にはフェンス13の幅を広げなくても、電気的コンタクト部50の面積を大きくでき、例えばコンタクトプラグ28とソース／ドレイン領域17とのコンタクト抵抗の増加を抑制できる、という利点を得ることができる。

【0296】本第4実施形態は、上記利点を損なうことなく、MOSFETの平面面積を、さらに縮小可能な構造を提供しようとするものである。

【0297】図64はこの発明の第4実施形態に係るMOSFETを示す斜視図、図65Aはその平面図、図65Bは図65Aに示す矢印Bの方向から見た側面図、図65Cは図65Aに示す矢印Cの方向から見た側面図である。

【0298】図64、図65A～図65Cに示すように、本第4実施形態に係るMOSFETでは、電気的コンタクト部50が、フェンス13の上面(TOP)、その互いに相対する2つの側面(SIDE I、SIDE II)の一部にそれぞれ跨っている。

E II)の一部に加え、これら2つの側面(SIDE I、SIDE II)それぞれに接した他の2つの側面(SIDE III、SIDE IV)の一部にも跨っている。

【0299】この構造もまた、電気的コンタクト部50を、フェンス13の側面に沿い、その下方に向かって広げることが可能な構造である。さらに本第24実施形態では、電気的コンタクト部50を、他の2つの側面(SIDE III、SIDE IV)の一部にも跨せることで、電気的コンタクト部50の面積低下を抑制しつつ、フェンス13の長さ、例えばチャネル長方向に沿った長さを短縮することができる。

【0300】よって、図62、図63A～図63Cを参照して説明した利点を損なうことなく、MOSFETの平面面積を、さらに縮小することが可能である。

【0301】(第25実施形態)本第25実施形態は、ゲート電界集中を緩和できる構造に関する。

【0302】図66は、この発明の第25実施形態に係るMOSFETを示す断面図である。なお、図66に示す断面は、第1実施形態の図2Bに示す断面に相当する。

【0303】例えば第2実施形態では、フェンス13の上面に形成されたゲート絶縁膜18bを、フェンス13の側面に形成されたゲート絶縁膜18aよりも厚くする。これにより、チャネル領域15の上部コーナーにおけるゲート電界集中を緩和でき、ゲート電界集中に起因した、しきい値電圧の変動や、基板バイアス特性の変動を抑制できることを説明した。

【0304】本第25実施形態に係るMOSFETでは、図66に示すように、第2実施形態とは反対に、フェンス13の上面に形成されたゲート絶縁膜18bを、フェンス13の側面に形成されたゲート絶縁膜18aよりも薄くする。

【0305】このような構造は、例えば第1実施形態の、図7A、図7Bを参照して説明した工程において、フェンス13の側面を、その上面に形成された絶縁膜よりも厚くなるように酸化することで得ることができる。

【0306】この構造では、図66中、破線円内に示す上部コーナーがラウンド形状となることにより、上部コーナーにおけるゲート電界集中を緩和でき、第2実施形態と同様に、ゲート電界集中に起因した、しきい値電圧の変動や、基板バイアス特性の変動を抑制することが可能となる。

【0307】(第26実施形態)本第26実施形態は、第25実施形態と同様、ゲート電界集中を緩和できる構造に関する。

【0308】図67は、この発明の第26実施形態に係るMOSFETを示す断面図である。なお、図67に示す断面は、第1実施形態の図2Bに示す断面に相当する。

【0309】図67に示すように、本第26実施形態が、第25実施形態と異なるところは、フェンス13の側面に形成されたゲート絶縁膜18aを、絶縁物の堆積により形成したことである。

【0310】このような構造は、例えば第1実施形態の、図6A、図6Bを参照して説明した工程の後、全面に絶縁膜、好ましくは高誘電体膜を堆積形成し、この後、RIE法を用いて、高誘電体膜をエッチングし、フェンス13の側面に残すことで得ることができる。

【0311】本構造においても、図67中、破線円内に示す上部コーナーをラウンド形状にできることにより、上部コーナーにおけるゲート電界集中を緩和でき、第2実施形態と同様に、ゲート電界集中に起因した、しきい値電圧の変動や、基板バイアス特性の変動を抑制することが可能となる。

【0312】(第27実施形態)図68Aはこの発明の第27実施形態に係るMOSFETを示す斜視図、図68Bはその側面図である。

【0313】図68A、図68Bに示すように、第27実施形態に係るMOSFETのゲート電極16は、側壁ゲート部16aと上面ゲート部16bとを有して構成される。側壁ゲート部16aは、フェンス13の側面上に形成されたゲート絶縁膜18a上に形成される。また、上面ゲート部16bは、フェンス13の上面上に形成されたゲート絶縁膜18b(図68A、図69Bでは省略されている)上に形成される。そして、側壁ゲート部16aのゲート長L1は、上面ゲート部16bのゲート長L2よりも短い。

【0314】次に、第27実施形態に係るMOSFETの製造方法の一例を、図69から図78を用いて説明する。なお、図69A～図78Aはそれぞれ平面図、図69B～図78Bはそれぞれ図69A～図78A中のB-B線に沿う断面図、図69C～図78Cはそれぞれ図69A～図78A中のC-C線に沿う断面図である。

【0315】まず、図69A～図69Cに示すように、例えば第1実施形態で説明した製法と同様な製法により、P型Si基板10の表面上に、5nm程度の膜厚を持つSiO₂層20、100nm程度の膜厚を持つマスク層(SiN)21、及び100nm程度の膜厚を持つマスク層(SiO₂)22を順次形成する。この後、P型Si基板10を、例えば約150nmエッチングし、溝を形成するとともに、約100nm程度の幅を持つフェンス13を形成する。

【0316】次に、図70A～図70Cに示すように、例えば第1実施形態で説明した製法と同様な製法により、Si基板10に形成された溝内を、絶縁物(SiO₂)23で充填する。これにより、シャロートレンチ素子分離が、Si基板10内に形成される。本例では、フェンス13上に、マスク層(SiN)21を残す。

【0317】次に、図71A～図71Cに示すように、

図70A～図70Cに示す構造上に、ホトレジストを塗布し、ホトレジスト膜50を形成する。次いで、リソグラフィ法を用いて、ホトレジスト膜50に、側壁ゲート部形成パターンに対応した窓51を形成する。本例では、窓51から、絶縁物(SiO₂)23の側壁ゲート部形成領域に対応した部分と、及びマスク層(SiN)21とがそれぞれ露呈する。

【0318】次に、図72A～図72Cに示すように、ホトレジスト膜50及びマスク層(SiN)21をそれぞれマスクに用いて、絶縁物(SiO₂)23を、例えばフェンス13とSiO₂層20との界面から約100nmエッチングする。これにより、絶縁物(SiO₂)23には、例えば約100nmの深さと、約100nm程度の幅を持つ側壁ゲート部埋め込み用の溝52が形成される。

【0319】次に、図73A～図73Cに示すように、ホトレジスト膜50を除去する。次いで、溝52から露出したフェンス13の側面上に、例えばSiO₂からなるゲート絶縁膜18aを形成する。

【0320】次に、図74A～図74Cに示すように、図73A～図73Cに示す構造上に、例えばN型不純物がドーパされたドーフト多結晶Si膜53を形成する。これにより、溝52はドーフト多結晶Si膜53により埋め込まれ、ゲート電極16のうち、側壁ゲート部16bが形成される。次いで、ドーフト多結晶Si膜53上に、メタル膜54を形成する。メタル膜54の一例としては、W膜を挙げることができる。

【0321】次に、図75A～図75Cに示すように、レジスト膜(図示せず)をマスクに用いて、メタル膜54、ドーフト多結晶Si膜53、マスク層(SiN)21及びSiO₂層20をエッチングする。これにより、ゲート電極16のうち、上面ゲート部16bが形成されるとともに、フェンス13の上面が露出される。フェンス13の上面は、MOSFETのアクティブエリアの平面パターンに相当する。本例では、上面ゲート部16bのゲート長L2は、側壁ゲート部16aのゲート長L1よりも長く設定される。その数値の一例は、ゲート長L1が約140nm、ゲート長L2が約100nmである。

【0322】次に、図76A～図76Cに示すように、上面ゲート部16b及び絶縁物23をマスクに用いて、N型不純物イオン、例えばリンイオンを、フェンス13内にイオン注入する。これにより、N⁻型拡散層17aをフェンス13内に形成する。なお、このN⁻型拡散層17aは、例えばエクステンション層として機能するのであり、必要に応じて形成されるものである。従って、省略することも可能である。

【0323】次に、図77A～図77Cに示すように、図76A～図76Cに示す構造上に、CVD法を用いて、絶縁物、例えばSiO₂やSiNを堆積する。次い

で、堆積された絶縁物をRIEし、この絶縁物を、ゲート電極16の側壁上に残す。これにより、側壁絶縁膜25が形成される。また、本例では、図75A～図75Cに示したように、マスク層(SiN)21をフェンス13の上面上から除去していることにより、絶縁物23とフェンス13の上面との間にステップが生じている。このため、絶縁物23の側壁上にも、上記絶縁物が残る。これにより、絶縁物23の側壁上にも、側壁絶縁膜25が形成される。

【0324】次に、図78A～図78Cに示すように、上面ゲート部16b、絶縁物23、及び側壁絶縁膜25をマスクに用いて、N型不純物イオン、例えば砒素イオンを、フェンス13内にイオン注入する。これにより、N⁺型拡散層17をフェンス13内に形成する。N⁺型拡散層17は、NMOSのソース/ドレイン領域として機能する。次いで、上面ゲート部16b、N⁺型拡散層17、絶縁物23及び側壁絶縁膜25上に層間絶縁膜26を形成する。次いで、層間絶縁膜25内に、N⁺型拡散層17や、上部ゲート部16bに達するコンタクトホール27を形成する。次いで、タングステン膜等の導電物を、コンタクトホール27内に充填し、コンタクトプラグ28を形成する。次いで、層間絶縁膜26上に、コンタクトプラグ28に電氣的に接触する配線層29を形成する。

【0325】このようにして、第27実施形態に係るMOSFETを形成することができる。

【0326】このような第27実施形態に係るMOSFETによれば、上述した実施形態から得られる効果に加えて、例えば下記のような効果をさらに得ることができる。

【0327】(1) 側壁ゲート部16aのゲート長L1を、上面ゲート部16bのゲート長L2よりも短くする。これにより、MOSFETの実効的なゲート長は、上面ゲート部16bのゲート長L1より短くなる。このため、第27実施形態に係るMOSFETと同じ平面パターンを持つプレーナ型MOSFETに比べて、その性能が高まる。例えば実効的なゲート長が短くなることで、MOSFETの応答速度が向上する。もちろん、側壁ゲート部16bを有していることで、同じ平面パターンを持つプレーナ型MOSFETに比べて、チャネル幅も増えるので、例えば電流駆動能力も大きくなる。

【0328】(2) 上面ゲート部16bのチャネル長L1が長い、即ちゲート配線としては、その断面積を大きくすることができる。ゲート配線の断面積が大きくなれば、ゲート配線の抵抗値は小さくなる。ゲート配線の抵抗値が小さくなれば、ゲート配線における信号遅延の事情も緩和され、集積回路としての性能も高まる。

【0329】(3) また、その製造方法によれば、絶縁物23に、側壁ゲート部埋め込み用の溝52を形成し、この溝52に、側壁ゲート部16aとなる導電物を

充填する。このような製造方法は、ゲート電極 16 となる導電物を、フェンス 13 を跨いでパターンニングする場合に比べて、製造しやすい。

【0330】(4) さらに溝 52 に、側壁ゲート部 16a となる導電物を充填する工程は、現在のシャロートレンチ技術等を応用することができる。そして、溝 52 に、側壁ゲート部 16a となる導電物を充填した後は、通常のプレーナ型 MOSFET の製造技術を用いて形成することができる。これらの観点から、第 27 実施形態で紹介した製造方法は、現在の製造技術を用いて、この

10 発明に係る MOSFET を形成でき、実用性が高い。

【0331】なお、このような製造方法は、第 27 実施形態に係る MOSFET を製造する場合に限って使われるものではなく、第 1 ～ 第 27 実施形態に係る MOSFET を製造する場合にも使うことができる。

【0332】以上、第 1 ～ 第 27 実施形態により説明したこの発明によれば、

(1) フェンス中に形成されたソース／ドレイン領域と、フェンスの下部領域に形成された素子分離絶縁膜との間を離す。

【0333】この構成によれば、MOSFET のチャネル幅を、ソース／ドレイン領域の深さにより制御でき、平面面積の増加を抑制しつつ、様々なチャネル幅を持つ MOSFET を 1 チップ中に集積できる。

【0334】(2) フェンスの幅 (Wg) を、例えば 0.20 μm より狭くする。

【0335】この構成によれば、フェンスの側面に形成されたゲート電極によってチャネル領域が完全に空乏化する。チャネル領域が完全に空乏化することによって、チャネル領域の不純物濃度を、平面型 MOSFET のチャネル領域の不純物濃度に比べ、低濃度化することが可能となる。そして、チャネル領域の不純物濃度を低濃度化することで、チャネル領域におけるキャリア・モビリティの低下を抑制できる、不純物濃度の揺らぎの影響を受け難い、およびゲート絶縁膜の膜厚バラツキに対して強い構造を実現できる。

【0336】(3) フェンスの上面とゲート電極との間のゲート絶縁膜の少なくとも一部の膜厚を、フェンスの側面とゲート電極との間のゲート絶縁膜の膜厚よりも厚くする、あるいは薄くする。

【0337】この構成によれば、フェンスの上部コーナーにおけるゲート電界集中を緩和でき、しきい値電圧の制御が容易となる。

【0338】(4) フェンスのチャネル領域と、ウェルまたは基板との間に、高濃度不純物層を設ける。

【0339】この構成によれば、MOSFET のパンチスルーを防止できる。

【0340】(5) フェンスの側面において、ソースとドレインと間の距離を、上部領域において短く、下部になるに従って広くする。

【0341】この構成によれば、MOSFET のパンチスルーを防止できる。

【0342】(6) フェンスの側面において、ソース／ドレイン領域と、ゲート電極とを互いにオフセットさせる。

【0343】この構成によれば、MOSFET のパンチスルーを防止できる。

【0344】(7) フェンスを複数設け、これらの側面にゲート電極を共通に形成する。

10 【0345】この構成によれば、少ない平面面積で、より大きなチャネル幅を実現できる。

【0346】(8) フェンスの他、ゲートコンタクト用凸状薄膜 Si 層を設ける。

【0347】この構成によれば、コンタクトホールの深さを、ソース／ドレイン領域およびゲート電極それぞれでほぼ揃えることができ、製造歩留まりを向上できる。

【0348】(9) フェンスのソース／ドレイン領域にコンタクトを形成する場合、フェンスの上面だけでなく、少なくとも側面の一部にも形成する。

20 【0349】この構成によれば、平面面積の増加を損なうことなく、コンタクト抵抗を低減できる。

【0350】(10) フェンスの側面の傾き (テーパ角度) を、ほぼ垂直ではなく、例えば 85 度程度の順テーパにする。

【0351】この構成によれば、凸状薄膜 Si 層の側面でのゲート電極の加工を容易にできる。

【0352】(11) フェンスの側面に沿って形成されるゲート電極を、例えば多結晶 Si 膜で形成し、このゲート電極に、例えばメタル膜やシリサイド膜からなる第 2 ゲート電極を接続する。

30 【0353】この構成によれば、ゲート電極の抵抗を低減できるとともに、隣接するゲート電極の高さを低くできる。よって、ゲート電極特性の調節が可能となるとともに、ゲート電極間の寄生容量を低減できる。

【0354】(12) フェンスの少なくとも側面上に形成されるゲート絶縁膜を、例えば Ta₂O₅ 膜などの高誘電体絶縁膜で形成する。

【0355】この構成によれば、ゲート電極とチャネル領域との間の容量を増加でき、MOSFET のカットオフ特性を、より効果的に向上できる。

40 【0356】(13) フェンスの少なくともチャネル領域の上部コーナーの角度を、ほぼ垂直から 45 度程度にする、あるいは半径 30 nm 程度の半円で近似できるラウンド形状とする。

【0357】この構成によれば、フェンスの上部コーナーにおけるゲート電界集中を緩和でき、しきい値電圧の制御が容易となる。

50 【0358】(14) フェンスに形成されたソース／ドレイン領域を、シングル・ソース／ドレイン構造ではなく、LDD 的な高濃度ソース／ドレイン領域と低濃度の

ソース／ドレイン領域とを含む構造とする。

【0359】この構成によれば、ソース／ドレイン領域近傍の電界を緩和でき、トランジスタの信頼性を向上できる。

【0360】(15) フェンスを複数設け、これらの側面にゲート電極を共通に形成するとともに、複数のフェンスの少なくともソース／ドレイン領域を含む領域の一部を互いに結合させる。

【0361】この構成によれば、少ない平面面積で、より大きなチャネル幅を実現できるとともに、ソース／ドレイン領域に対するコンタクトの数を削減できる。

【0362】(16) フェンスに形成されたソース／ドレイン領域の底部と、フェンス下に形成された絶縁膜との間に、ソース／ドレイン領域と異なる導電型型の不純物層を設ける。

【0363】この構成によれば、例えばSOI基板上にフェンスを形成したとき、SOI層の厚みのバラツキを、ソース／ドレイン領域の深さのバラツキに吸収できる。

【0364】(17) フェンスを、ガラス基板上に形成されたアモルファスSiを用いて形成した場合においても、上記(1)～(16)の構成を採用することにより、上述した効果を得ることができる。

【0365】(18) フェンスは、溝を形成し、この溝の中にエピタキシャル成長させたエピタキシャルSi層で形成する。

【0366】この構成によれば、フェンスの周辺に形成される素子分離絶縁膜を安定して形成でき、半導体集積回路装置の製造歩留りを向上できる。

【0367】(19) フェンスに形成されたNMOSFET、他のフェンスに形成されたPMOSFETによってCMOS回路を形成する場合、P型ソース／ドレイン領域の深さと、N型ソース／ドレイン領域の深さとを互いに異ならせる。具体的にはP型ソース／ドレイン領域の深さを、N型ソース／ドレイン領域の深さより深くする。

【0368】この構成によれば、電子のモビリティと正孔のモビリティとの差に起因した、NMOSFET、PMOSFETの平面的な設計寸法の差を縮めることができる。特にCMOS回路を設計したとき、PMOSFETの面積を縮小でき、全体の回路面積を縮小できる。

【0369】(20) フェンスに形成されたNMOSFET（またはPMOSFET）、他のフェンスに形成されたNMOSFET（またはPMOSFET）によってMOS回路を形成する場合、これらNMOSFET（またはPMOSFET）のソース／ドレイン領域の深さを互いに異ならせる。

【0370】この構成によれば、平面的な設計寸法が同じでも、互いにチャネル幅が異なったNMOSFET（またはPMOSFET）を実現でき、回路を設計した

とき、チャネル幅が広いNMOSFET（またはPMOSFET）の面積を縮小でき、全体の回路面積を縮小できる。

【0371】以上、この発明を第1～第27実施形態により説明したが、この発明は、これら実施形態それぞれに限定されるものではなく、その実施にあたっては、発明の要旨を逸脱しない範囲で種々に変形することが可能である。

【0372】例えばこの発明に係るMOSFETと、平面型MOSFETとを同じSiウェーハ基板上に共存させることも可能である。この場合、この発明に係るMOSFETの特長、平面型MOSFETの特長をそれぞれ生かせば良い。

【0373】また、実施形態では主に単体のMOSFET素子について説明したが、このMOSFETを用いて、フラッシュメモリ、SRAM、DRAM、各種ロジック回路、CPUなどに応用することができる。本素子構造がショートチャネル効果を抑制でき、Pチャネル、NチャネルMOSFETの微細化に有効であること、チャネルの完全空乏化により素子のカットオフ特性が向上すること、ダブルゲート構造によりMOSFETの電流駆動能力が向上すること、Nチャネル、Pチャネルのチャネル幅を平面設計面積を増大させることなくソース／ドレイン領域の深さの調整で実現できること、複数の凸状Siに分割することで、大電流のMOSFET素子を小さな面積で実現できること、などの特長を生かして、LSI回路全般に従来の平面型MOSFET素子を置き換える新しいMOSFET素子構造として応用できる。

【0374】また、上記各実施形態は、単独、または適宜組み合わせることも勿論可能である。

【0375】さらに、上記各実施形態には種々の段階の発明が含まれており、各実施形態において開示した複数の構成要件の適宜な組み合わせにより、種々の段階の発明を抽出することも可能である。

【0376】

【発明の効果】以上説明したように、この発明によれば、高性能化を図ることが可能な構造を持つ、少なくとも凸状半導体層の側面の一部をチャネル領域として使う半導体装置と、その製造方法を提供できる。

【図面の簡単な説明】

【図1】図1はこの発明の第1実施形態に係るMOSFETを示す斜視図。

【図2】図2Aはこの発明の第1実施形態に係るMOSFETを示す平面図、図2Bは図2A中の2B-2B線に沿う断面図、図2Cは図2A中の2C-2C線に沿う断面図、図2Dは図2A中の2D-2D線に沿う断面図。

【図3】図3A、図3Bはそれぞれこの発明の第1実施形態に係るMOSFETの主要な製造工程を示す工程断面図。

【図 4】図 4 A、図 4 B はそれぞれこの発明の第 1 実施形態に係る MOSFET の主要な製造工程を示す工程断面図。

【図 5】図 5 A、図 5 B はそれぞれこの発明の第 1 実施形態に係る MOSFET の主要な製造工程を示す工程断面図。

【図 6】図 6 A、図 6 B はそれぞれこの発明の第 1 実施形態に係る MOSFET の主要な製造工程を示す工程断面図。

【図 7】図 7 A、図 7 B はそれぞれこの発明の第 1 実施形態に係る MOSFET の主要な製造工程を示す工程断面図。

【図 8】図 8 A、図 8 B はそれぞれこの発明の第 1 実施形態に係る MOSFET の主要な製造工程を示す工程断面図。

【図 9】図 9 A、図 9 B はそれぞれこの発明の第 1 実施形態に係る MOSFET の主要な製造工程を示す工程断面図。

【図 10】図 10 A、図 10 B はそれぞれこの発明の第 1 実施形態に係る MOSFET の主要な製造工程を示す工程断面図。

【図 11】図 11 A、図 11 B はそれぞれこの発明の第 1 実施形態に係る MOSFET の主要な製造工程を示す工程断面図。

【図 12】図 12 はこの発明の第 2 実施形態に係る MOSFET を示す斜視図。

【図 13】図 13 A、図 13 B はそれぞれこの発明の第 2 実施形態に係る MOSFET を示す断面図。

【図 14】図 14 A、図 14 B はそれぞれこの発明の第 3 実施形態に係る MOSFET を示す断面図。

【図 15】図 15 A、図 15 B はそれぞれこの発明の第 4 実施形態に係る MOSFET を示す断面図。

【図 16】図 16 A はこの発明の第 5 実施形態に係る MOSFET を示す平面図、図 16 B は図 16 A 中の 16 B-16 B 線に沿う断面図、図 16 C は図 16 A 中の 16 C-16 C 線に沿う断面図。

【図 17】図 17 A はこの発明の第 6 実施形態に係る MOSFET を示す平面図、図 17 B は図 17 A 中の 17 B-17 B 線に沿う断面図、図 17 C は図 17 A 中の 17 C-17 C 線に沿う断面図。

【図 18】図 18 A、図 18 B はそれぞれこの発明の第 6 実施形態の他例に係る MOSFET を示す断面図。

【図 19】図 19 A、図 19 B はそれぞれ、この発明の第 7 実施形態に係る MOSFET を示す断面図。

【図 20】図 20 はこの発明の第 8 実施形態に係る MOSFET を示す斜視図。

【図 21】図 21 A はこの発明の第 8 実施形態に係る MOSFET を示す平面図、図 21 B は図 21 A 中の 21 B-21 B 線に沿う断面図、図 21 C は図 21 A 中の 21 C-21 C 線に沿う断面図。

【図 22】図 22 はこの発明の第 9 実施形態に係る MOSFET を示す斜視図。

【図 23】図 23 A はこの発明の第 9 実施形態に係る MOSFET を示す平面図、図 23 B は図 23 A 中の 23 B-23 B 線に沿う断面図、図 23 C は図 23 A 中の 23 C-23 C 線に沿う断面図。

【図 24】図 24 はこの発明に係る MOSFET のゲート絶縁膜の変形を示す断面図。

【図 25】図 25 はこの発明に係る MOSFET のゲート絶縁膜の変形を示す断面図。

【図 26】図 26 はこの発明の第 10 実施形態に係る MOSFET を示す断面図。

【図 27】図 27 はこの発明の第 11 実施形態に係る MOSFET を示す断面図。

【図 28】図 28 はこの発明の第 12 実施形態に係る MOSFET を示す断面図。

【図 29】図 29 はこの発明に係る MOSFET のソース/ドレイン領域の変形を示す断面図。

【図 30】図 30 はこの発明の第 13 実施形態の第 1 例に係る MOSFET を示す平面図。

【図 31】図 31 はこの発明の第 13 実施形態の第 2 例に係る MOSFET を示す平面図。

【図 32】図 32 はこの発明の第 13 実施形態の第 3 例に係る MOSFET を示す平面図。

【図 33】図 33 はこの発明の第 14 実施形態に係る MOSFET を示す斜視図。

【図 34】図 34 A はこの発明の第 14 実施形態に係る MOSFET を示す平面図、図 34 B は図 34 A 中の 34 B-34 B 線に沿う断面図、図 34 C は図 34 A 中の 34 C-34 C 線に沿う断面図。

【図 35】図 35 はこの発明の第 15 実施形態に係る MOSFET を示す斜視図。

【図 36】図 36 A はこの発明の第 15 実施形態に係る MOSFET を示す平面図、図 36 B は図 36 A 中の 36 B-36 B 線に沿う断面図、図 36 C は図 36 A 中の 36 C-36 C 線に沿う断面図。

【図 37】図 37 A、図 37 B はそれぞれこの発明の第 16 の実施形態に係る MOSFET の製造方法を示す工程断面図。

【図 38】図 38 A、図 37 B はそれぞれこの発明の第 16 の実施形態に係る MOSFET の製造方法を示す工程断面図。

【図 39】図 39 A、図 39 B はそれぞれこの発明の第 16 の実施形態に係る MOSFET の製造方法を示す工程断面図。

【図 40】図 40 A、図 40 B はそれぞれこの発明の第 16 の実施形態に係る MOSFET の製造方法を示す工程断面図。

【図 41】図 41 A、図 41 B はそれぞれこの発明の第 16 の実施形態に係る MOSFET の製造方法を示す工

程断面図。

【図 42】図 42A、図 42B はそれぞれこの発明の第 16 の実施形態に係る MOSFET の製造方法を示す工程断面図。

【図 43】図 43A、図 43B はそれぞれこの発明の第 17 の実施形態に係る MOSFET の製造方法を示す工程断面図。

【図 44】図 44A、図 44B はそれぞれこの発明の第 17 の実施形態に係る MOSFET の製造方法を示す工程断面図。

【図 45】図 45A、図 45B はそれぞれこの発明の第 17 の実施形態に係る MOSFET の製造方法を示す工程断面図。

【図 46】図 46A、図 46B はそれぞれこの発明の第 17 の実施形態に係る MOSFET の製造方法を示す工程断面図。

【図 47】図 47A、図 47B はそれぞれこの発明の第 17 の実施形態に係る MOSFET の製造方法を示す工程断面図。

【図 48】図 48A はこの発明の第 18 実施形態に係る相補型 MOSFET を示す平面図、図 48B は図 48A 中の 48B-48B 線に沿う断面図、図 48C は図 48A 中の 48C-48C 線に沿う断面図、図 48D は図 48A 中の 48D-48D 線に沿う断面図。

【図 49】図 49 はこの発明の第 18 実施形態に係る MOSFET の主要な製造工程を示す工程断面図。

【図 50】図 50 はこの発明の第 18 実施形態に係る MOSFET の主要な製造工程を示す工程断面図。

【図 51】図 51 はこの発明の第 18 実施形態に係る MOSFET の主要な製造工程を示す工程断面図。

【図 52】図 52 はこの発明の第 18 実施形態に係る MOSFET の主要な製造工程を示す工程断面図。

【図 53】図 53 はこの発明の第 18 実施形態に係る MOSFET の主要な製造工程を示す工程断面図。

【図 54】図 54 はこの発明の第 18 実施形態に係る MOSFET の主要な製造工程を示す工程断面図。

【図 55】図 55A はこの発明の第 19 実施形態に係る相補型 MOSFET を示す平面図、図 55B は図 55A 中の 55B-55B 線に沿う断面図、図 55C は図 55A 中の 55C-55C 線に沿う断面図。

【図 56】図 56 はこの発明の第 20 実施形態に係るトレンチ型キャパシタ構造を持つ DRAM メモリセルを示す断面図。

【図 57】図 57 はこの発明の第 21 実施形態に係るスタック型キャパシタ構造を持つ DRAM メモリセルを示す断面図。

【図 58】図 58 はこの発明の第 22 実施形態に係る MOSFET を示す斜視図。

【図 59】図 59A はこの発明の第 22 実施形態に係る MOSFET を示す平面図、図 59B は図 59A 中 59

B-59B 線に沿う断面図、図 59C は図 59A 中の 59C-59C 線に沿う断面図、図 59D は図 59A 中の 59D-59D 線に沿う断面図。

【図 60】図 60 はこの発明の第 23 実施形態に係る MOSFET を示す斜視図。

【図 61】図 61 はこの発明の第 23 実施形態に係る MOSFET を示す断面図。

【図 62】図 62 はこの発明に係る MOSFET のコンタクト部を示す斜視図。

10 【図 63】図 63A はこの発明に係る MOSFET のコンタクト部を示す平面図、図 63B は図 63A に示す矢印 B の方向から見た側面図、図 63C は図 63A に示す矢印 C の方向から見た側面図。

【図 64】図 64 はこの発明の第 24 実施形態に係る MOSFET を示す斜視図。

【図 65】図 65A はこの発明の第 24 実施形態に係る MOSFET の平面図、図 65B は図 65A に示す矢印 B の方向から見た側面図、図 65C は図 65A に示す矢印 C の方向から見た側面図。

20 【図 66】図 66 はこの発明の第 25 実施形態に係る MOSFET を示す断面図。

【図 67】図 67 はこの発明の第 26 実施形態に係る MOSFET を示す断面図。

【図 68】図 68A はこの発明の第 27 実施形態に係る MOSFET を示す斜視図、図 68B はその側面図。

【図 69】図 69A はこの発明の第 27 実施形態に係る MOSFET の主要な製造工程を示す平面図、図 69B は図 69A 中の B-B 線に沿う断面図、図 69C は図 69A 中の C-C 線に沿う断面図。

30 【図 70】図 70A はこの発明の第 27 実施形態に係る MOSFET の主要な製造工程を示す平面図、図 70B は図 70A 中の B-B 線に沿う断面図、図 70C は図 70A 中の C-C 線に沿う断面図。

【図 71】図 71A はこの発明の第 27 実施形態に係る MOSFET の主要な製造工程を示す平面図、図 71B は図 71A 中の B-B 線に沿う断面図、図 71C は図 71A 中の C-C 線に沿う断面図。

40 【図 72】図 72A はこの発明の第 27 実施形態に係る MOSFET の主要な製造工程を示す平面図、図 72B は図 72A 中の B-B 線に沿う断面図、図 72C は図 72A 中の C-C 線に沿う断面図。

【図 73】図 73A はこの発明の第 27 実施形態に係る MOSFET の主要な製造工程を示す平面図、図 73B は図 73A 中の B-B 線に沿う断面図、図 73C は図 73A 中の C-C 線に沿う断面図。

【図 74】図 74A はこの発明の第 27 実施形態に係る MOSFET の主要な製造工程を示す平面図、図 74B は図 74A 中の B-B 線に沿う断面図、図 74C は図 74A 中の C-C 線に沿う断面図。

50 【図 75】図 75A はこの発明の第 27 実施形態に係る

MOSFETの主要な製造工程を示す平面図、図75Bは図75A中のB-B線に沿う断面図、図75Cは図75A中のC-C線に沿う断面図。

【図76】図76Aはこの発明の第27実施形態に係るMOSFETの主要な製造工程を示す平面図、図76Bは図76A中のB-B線に沿う断面図、図76Cは図76A中のC-C線に沿う断面図。

【図77】図77Aはこの発明の第27実施形態に係るMOSFETの主要な製造工程を示す平面図、図77Bは図77A中のB-B線に沿う断面図、図77Cは図77A中のC-C線に沿う断面図。

【図78】図78Aはこの発明の第27実施形態に係るMOSFETの主要な製造工程を示す平面図、図78Bは図78A中のB-B線に沿う断面図、図78Cは図78A中のC-C線に沿う断面図。

【図79】図79は従来のMOSFETを示す斜視図。

【図80】図80は従来のMOSFETを示す斜視図。

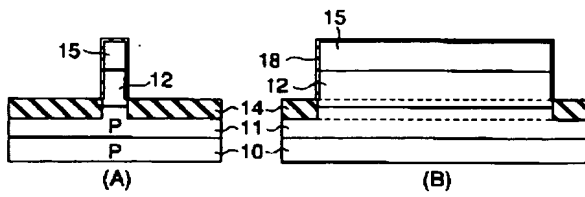
【図81】図81は従来のMOSFETを示す斜視図。

【符号の説明】

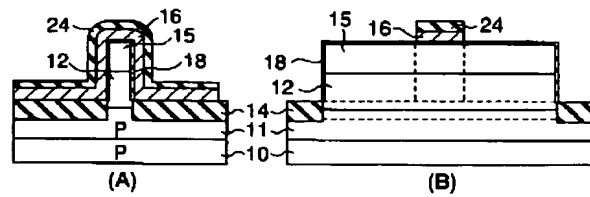
10…P型Si基板、
11…P型ウェル、
12…高濃度不純物層（パンチスルー・ストップパー層）、
13…凸状薄膜Si層（フェンス）、
14…素子分離絶縁膜、
15…チャネル不純物層（チャネル領域）、
16…ゲート電極、
16a…第1ゲート電極、
16b…第2ゲート電極、
17…ソース/ドレイン領域、
17a…低濃度ソース/ドレイン領域、
17b…高濃度ソース/ドレイン領域、
18…ゲート絶縁膜、
18'…ゲート絶縁膜（high-K膜）、
18a…ゲート絶縁膜（側面）、
18b…ゲート絶縁膜（TOP絶縁膜）、
20…SiO₂層、
21…マスク層（SiN）、
22…マスク層（SiO₂）、
23…TEOS-SiO₂層、
24…ゲートキャップ絶縁膜、
25…側壁絶縁膜、
26…層間絶縁膜、
27…コンタクトホール、
28…コンタクトプラグ、
30…ゲートコンタクト用凸状薄膜Si層、

40…SOI基板、
41…絶縁膜（Buried Oxide）、
42…Si層、
43…ガラス基板、
44…アモルファスSi層、
101…エピタキシャルSi層、
110…P型Si基板、
111…P型ウェル、
112…高濃度不純物層（パンチスルー・ストップパー層）、
113…凸状薄膜Si層、
114…SiO₂膜（素子分離絶縁膜）、
121…マスク層（SiN）、
122…マスク層（SiO₂）、
123…溝パターン、
124…ゲートキャップ絶縁膜、
301…エピタキシャルSi層、
310…P型Si基板、
311p…P型ウェル、
311n…N型ウェル、
312p…P型高濃度不純物層（パンチスルー・ストップパー層）、
312n…N型高濃度不純物層（パンチスルー・ストップパー層）、
313p…凸状薄膜Si層（フェンス）、
313n…凸状薄膜Si層（フェンス）、
314p…P型LOCALチャネル領域、
315n…N型LOCALチャネル領域、
316…ゲート電極、
317p…P型ソース/ドレイン領域、
317n…N型ソース/ドレイン領域、
317pa…低濃度P型ソース/ドレイン領域、
317na…低濃度N型ソース/ドレイン領域、
317pb…高濃度P型ソース/ドレイン領域、
317nb…高濃度N型ソース/ドレイン領域、
318…ゲート絶縁膜、
320…SiO₂層、
321…マスク層（SiN）、
322…マスク層（SiO₂）、
323…TEOS-SiO₂層、
324…ゲートキャップ絶縁膜、
325…側壁絶縁膜、
326…層間絶縁膜、
327…コンタクトホール、
328…コンタクトプラグ。

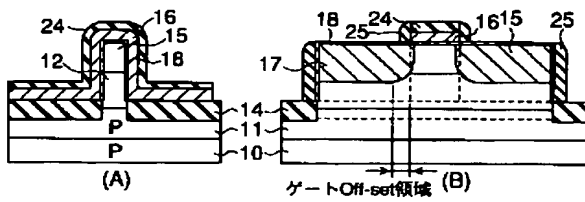
【図 7】



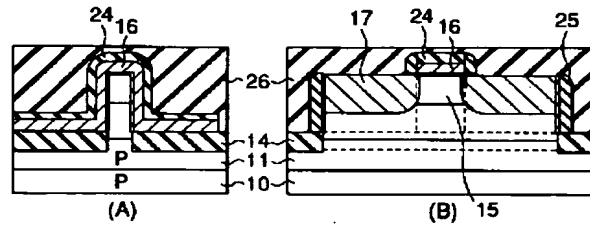
【図 8】



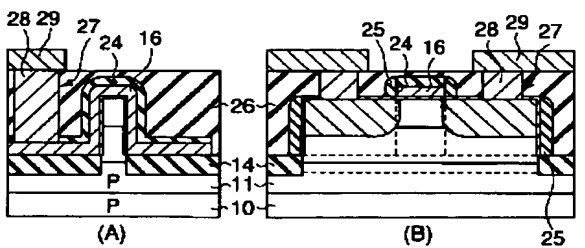
【図 9】



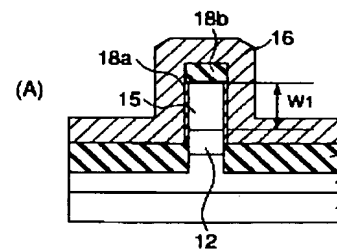
【図 10】



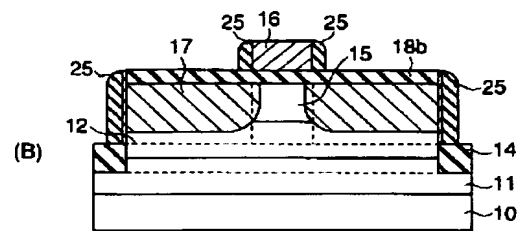
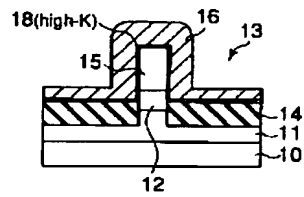
【図 11】



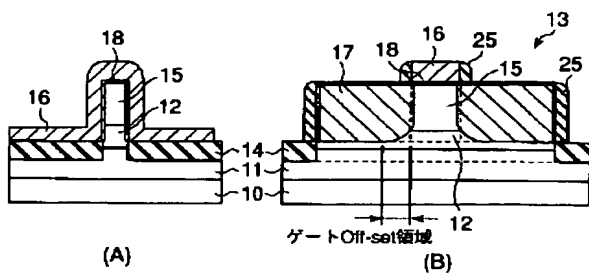
【図 13】



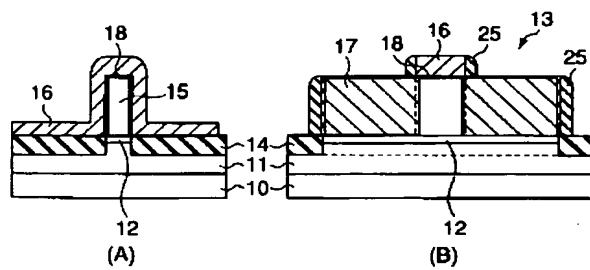
【図 24】



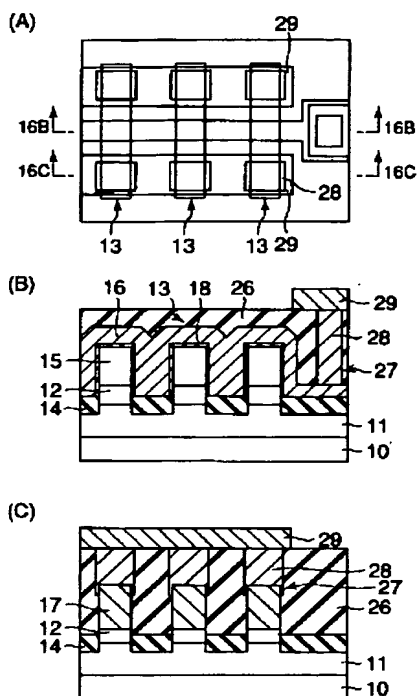
【図 14】



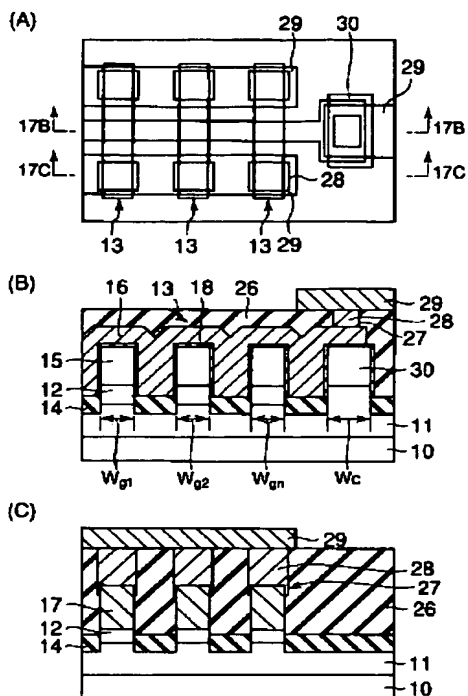
【図 15】



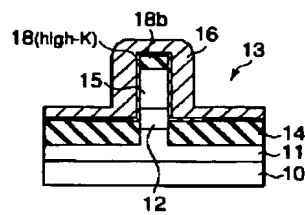
【図 16】



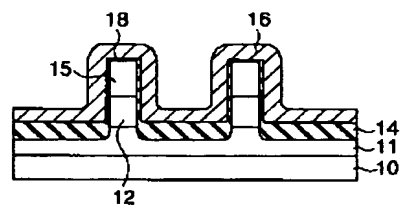
【図 17】



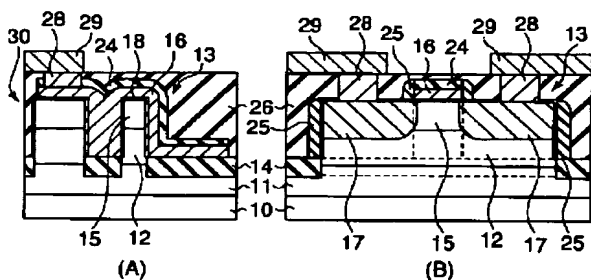
【図 25】



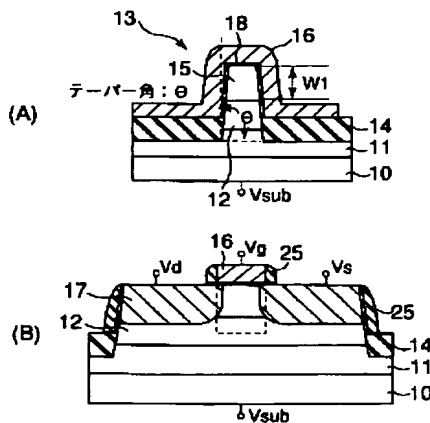
【図 27】



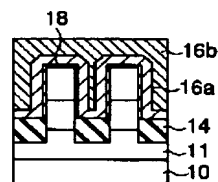
【図 18】



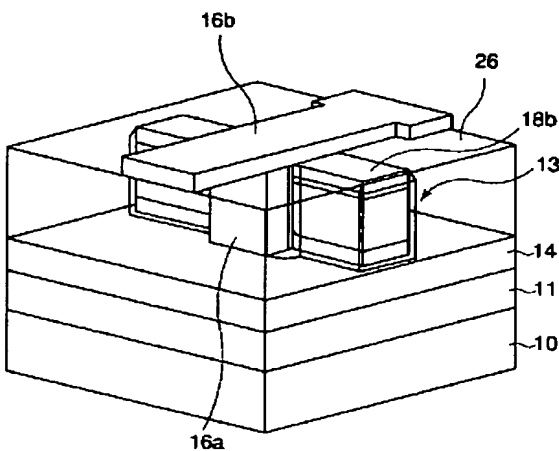
【図 19】



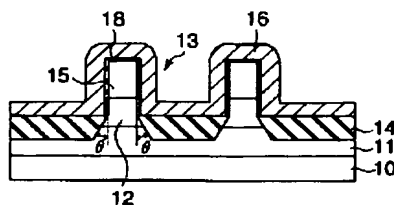
【図 61】



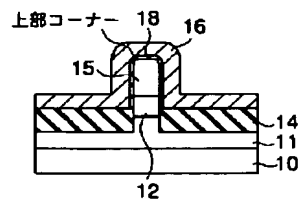
【図 20】



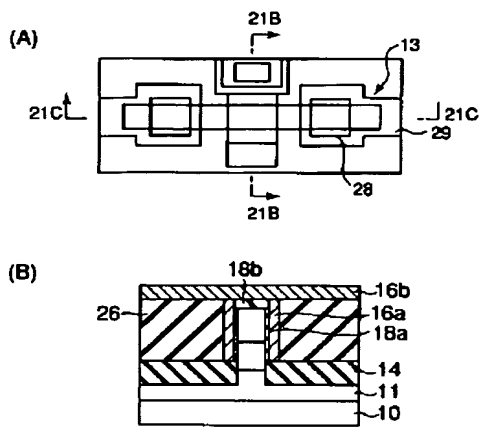
【図 26】



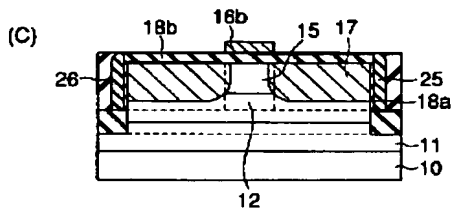
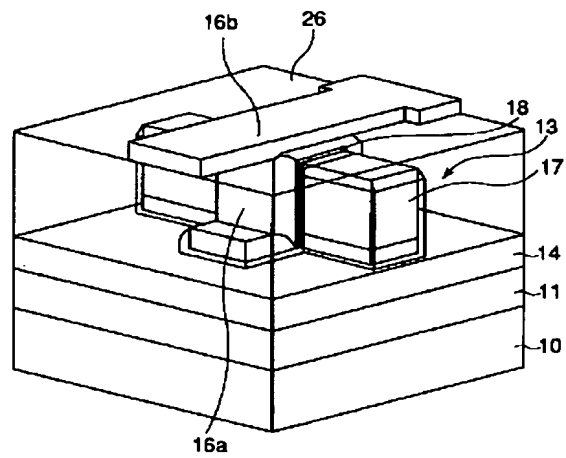
【図 28】



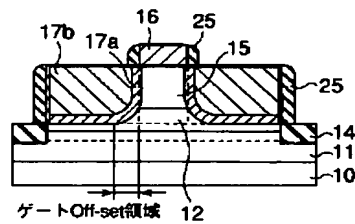
【図 21】



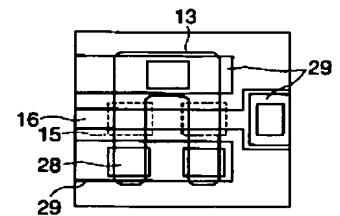
【図 22】



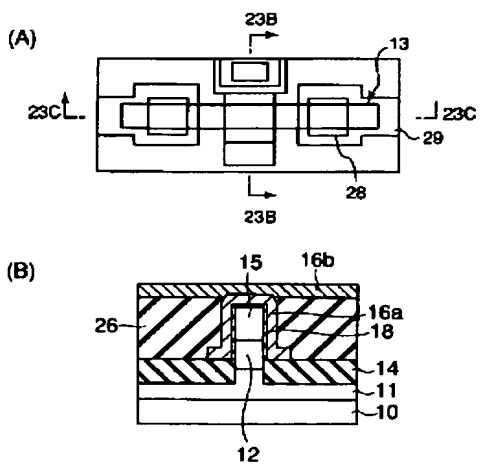
【図 29】



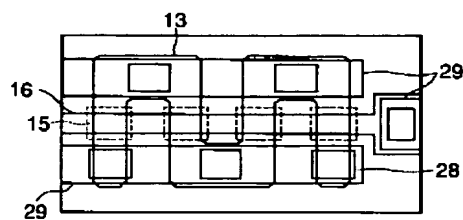
【図 30】



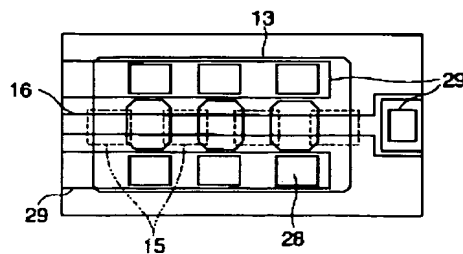
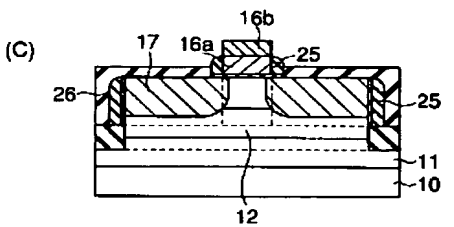
【図 23】



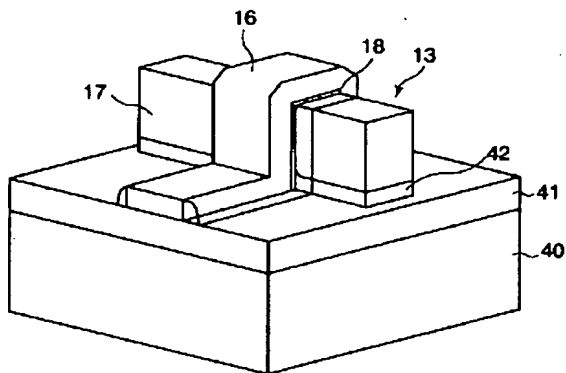
【図 31】



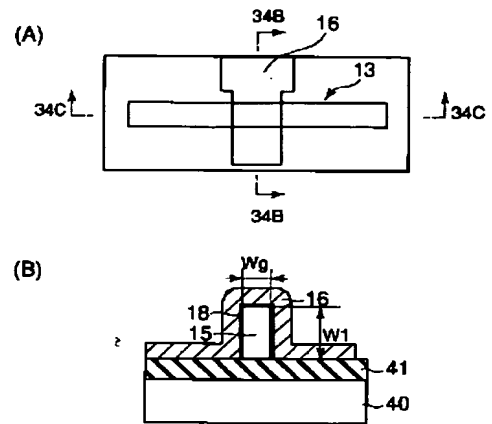
【図 32】



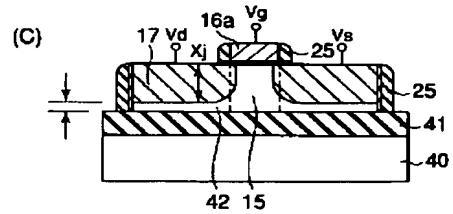
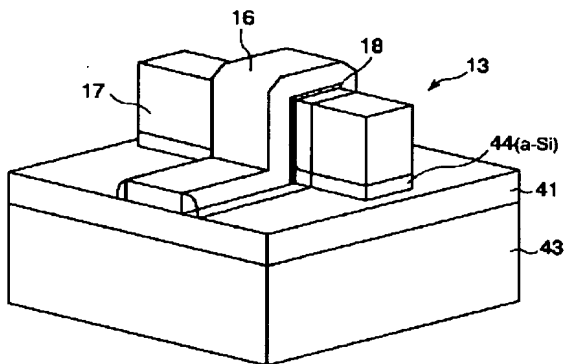
【図 33】



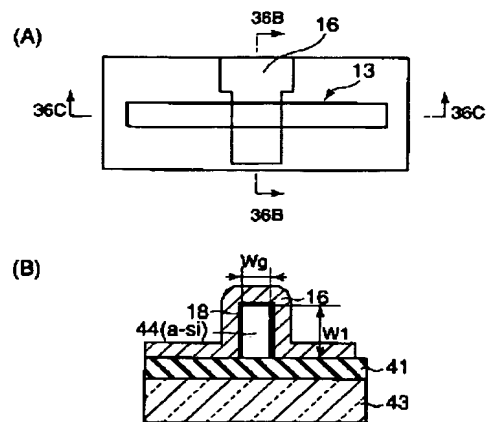
【図 34】



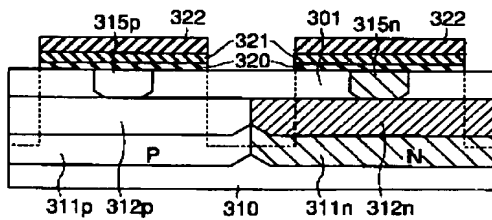
【図 35】



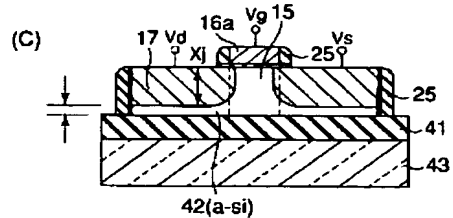
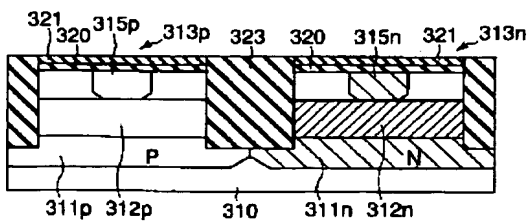
【図 36】



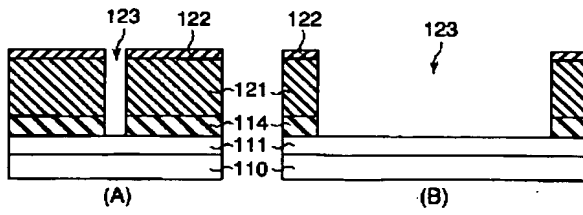
【図 49】



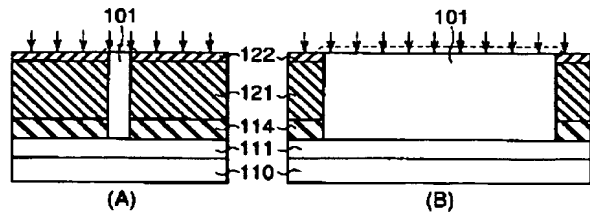
【図 50】



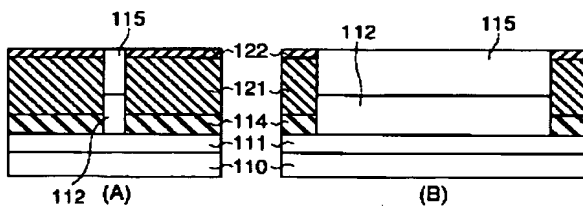
【図 37】



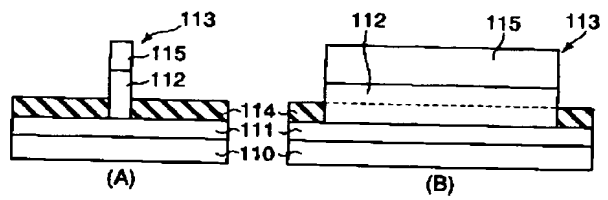
【図 38】



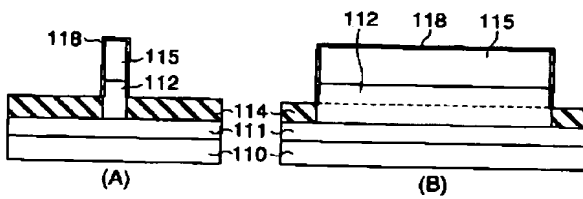
【図 39】



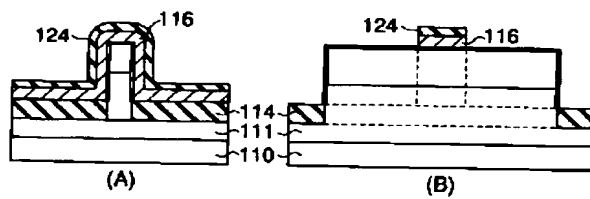
【図 40】



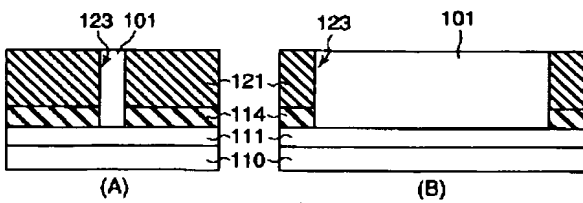
【図 41】



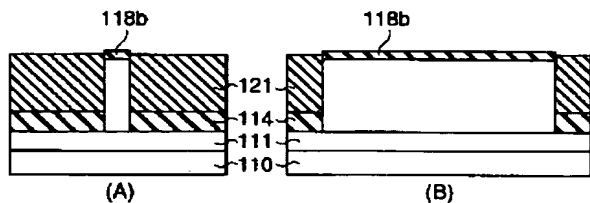
【図 42】



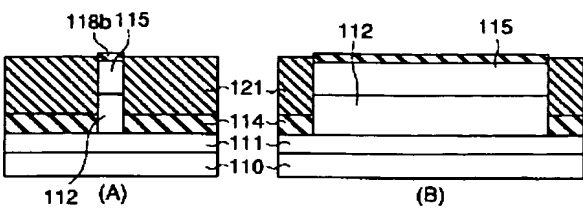
【図 43】



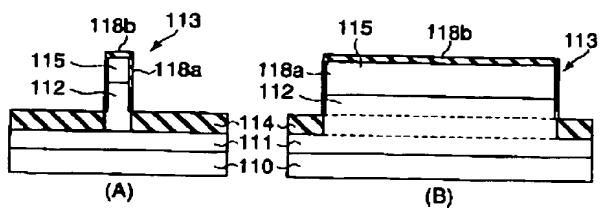
【図 44】



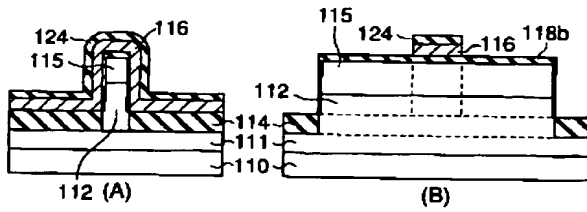
【図 45】



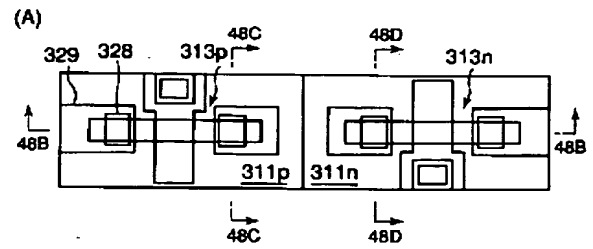
【図 46】



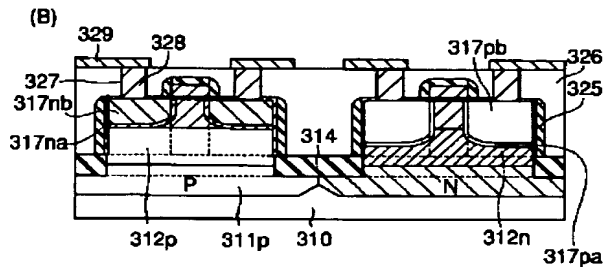
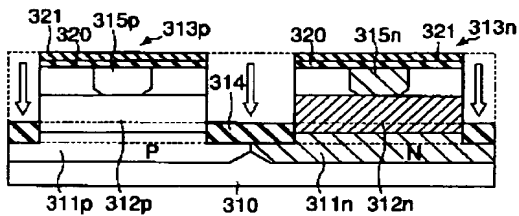
【図47】



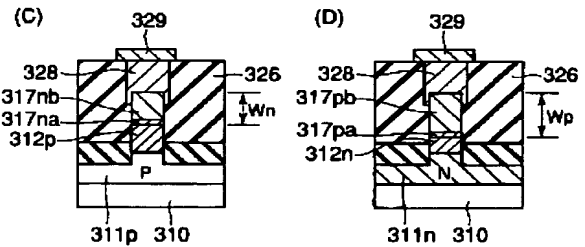
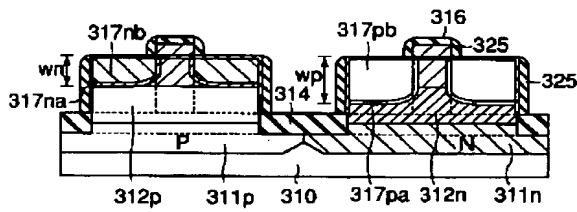
【図48】



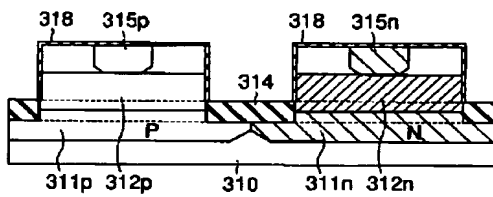
【図51】



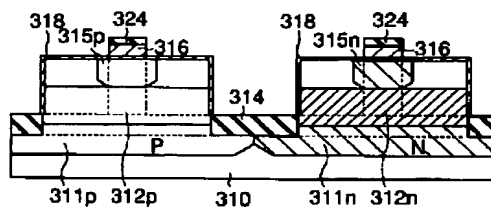
【図54】



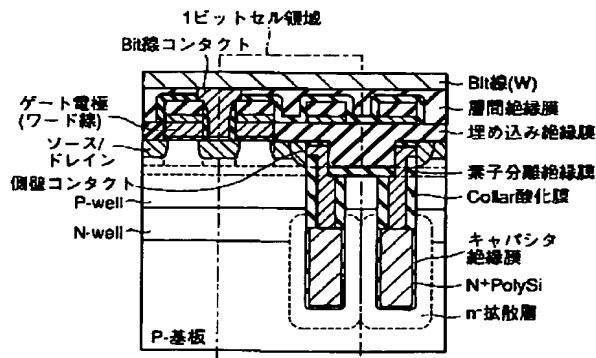
【図52】



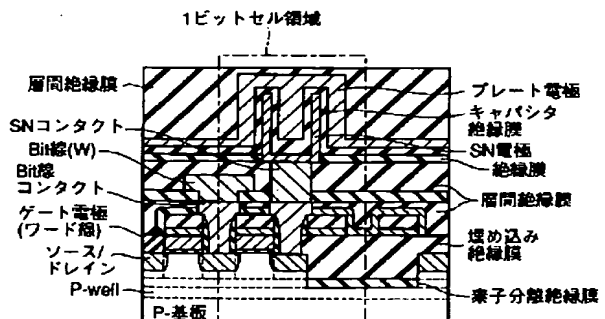
【図53】



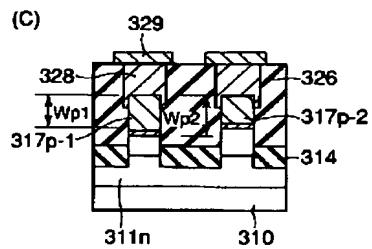
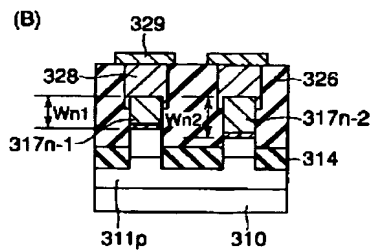
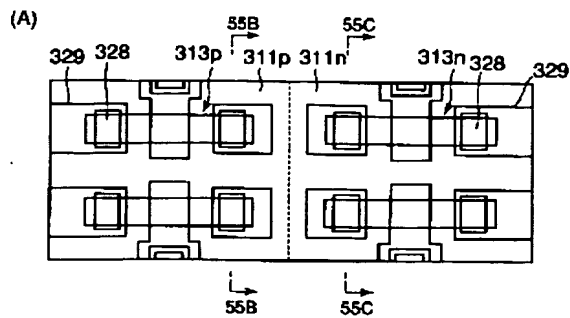
【図56】



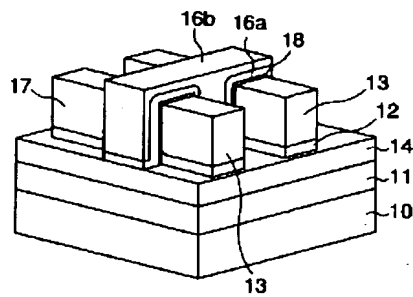
【図57】



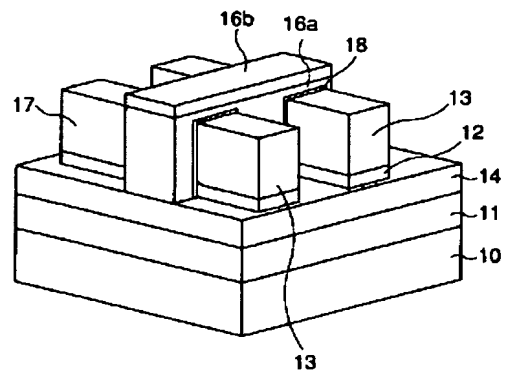
【図55】



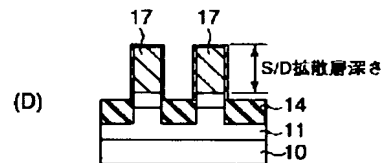
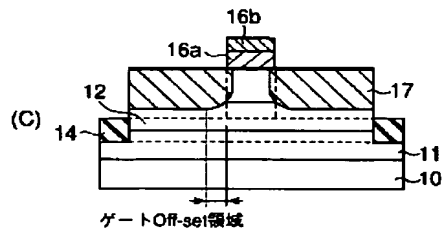
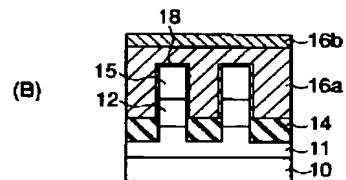
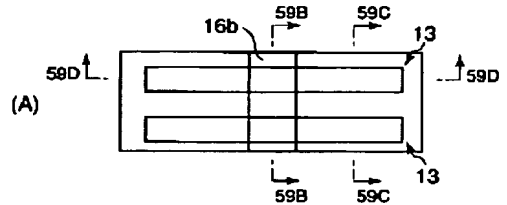
【図60】



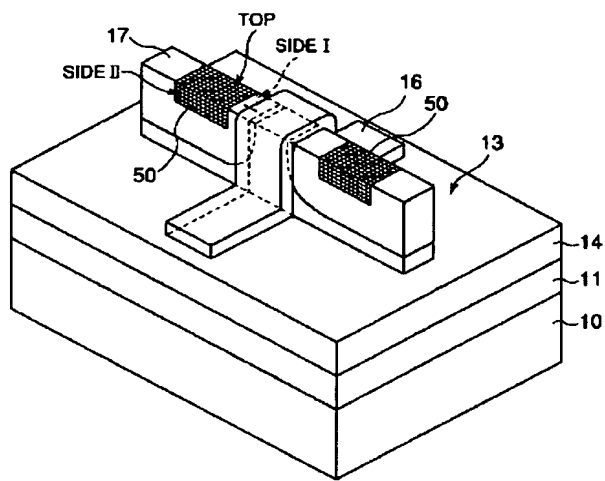
【図58】



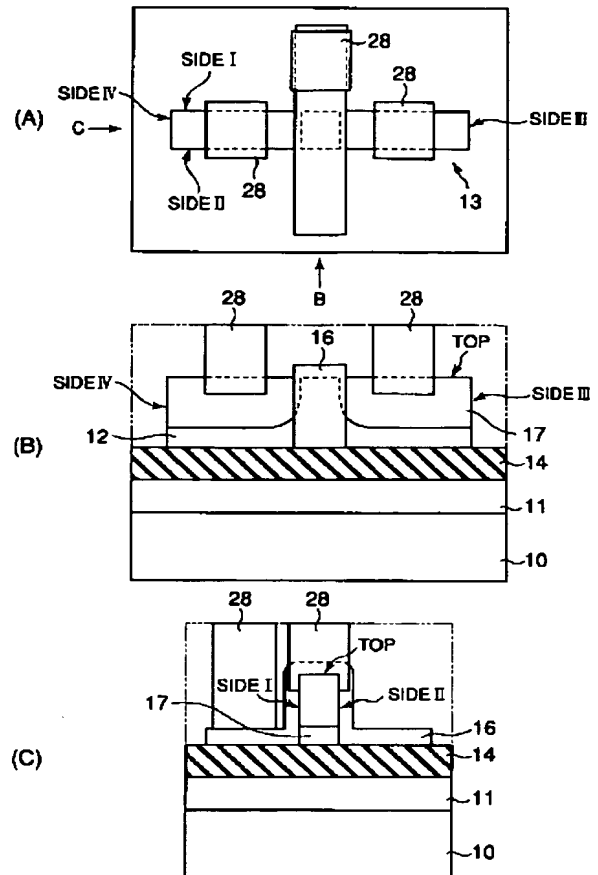
【図59】



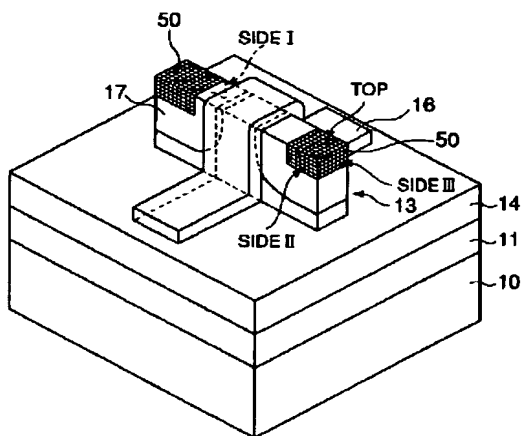
【図 6 2】



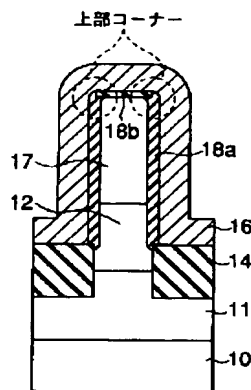
【図 6 3】



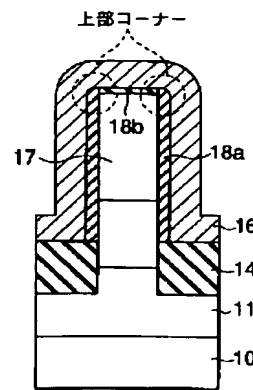
【図 6 4】



【図 6 6】

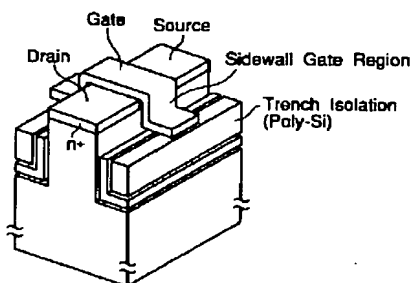


【図 6 7】

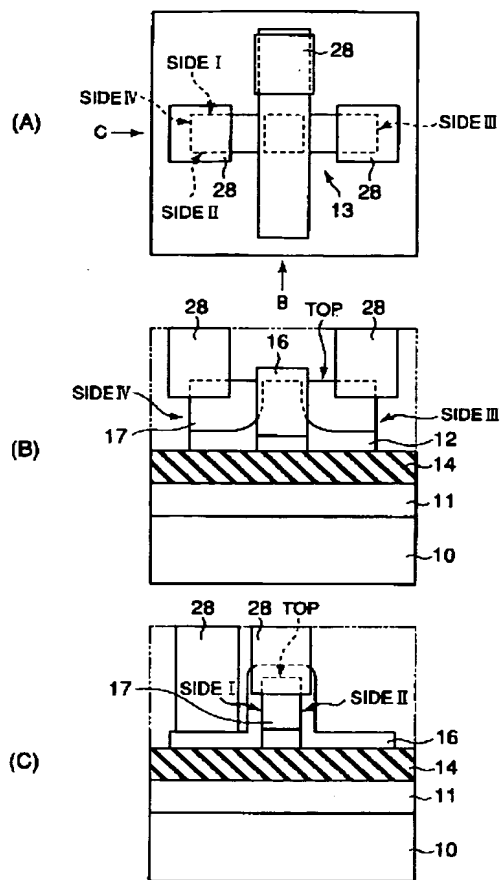


【図 7 9】

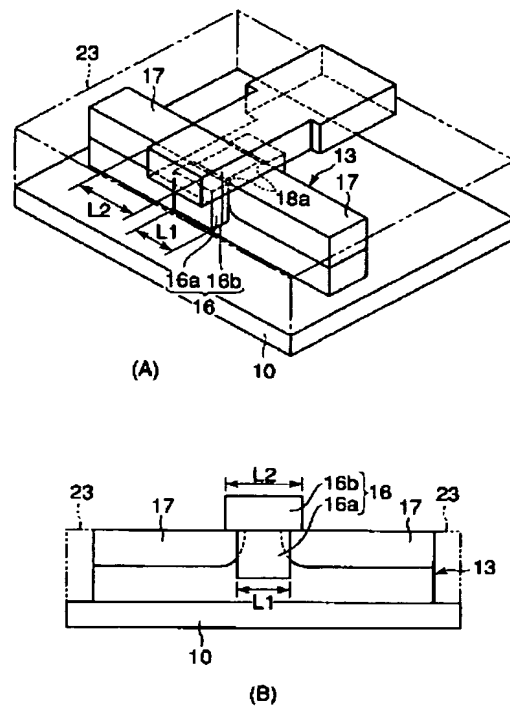
Trench Isolated (TIS) Transistor (1987 IEDM)



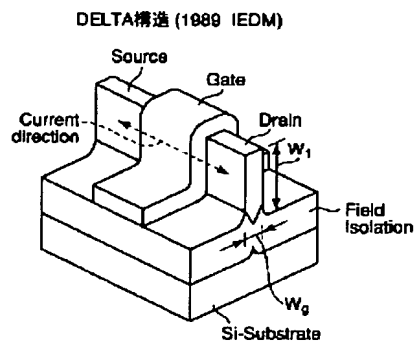
【図 65】



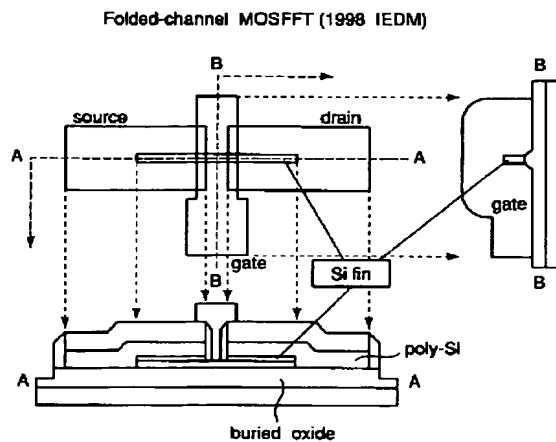
【図 68】



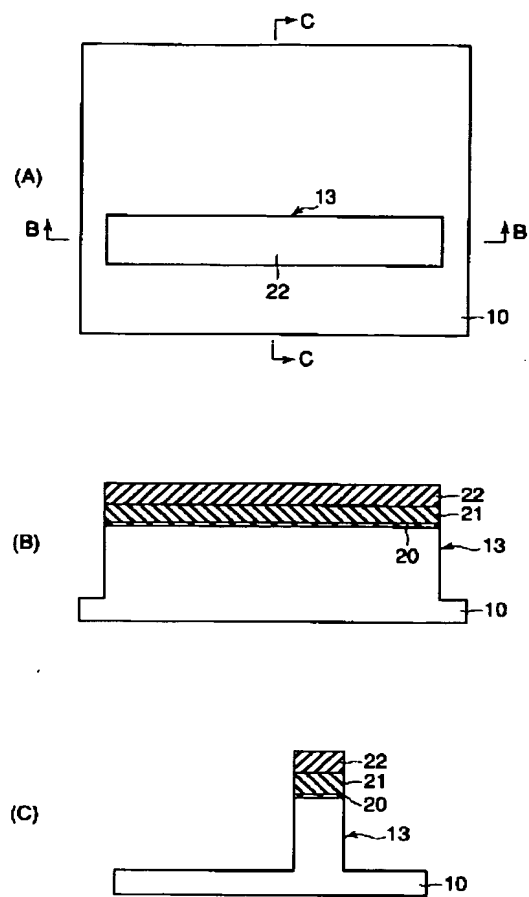
【図 80】



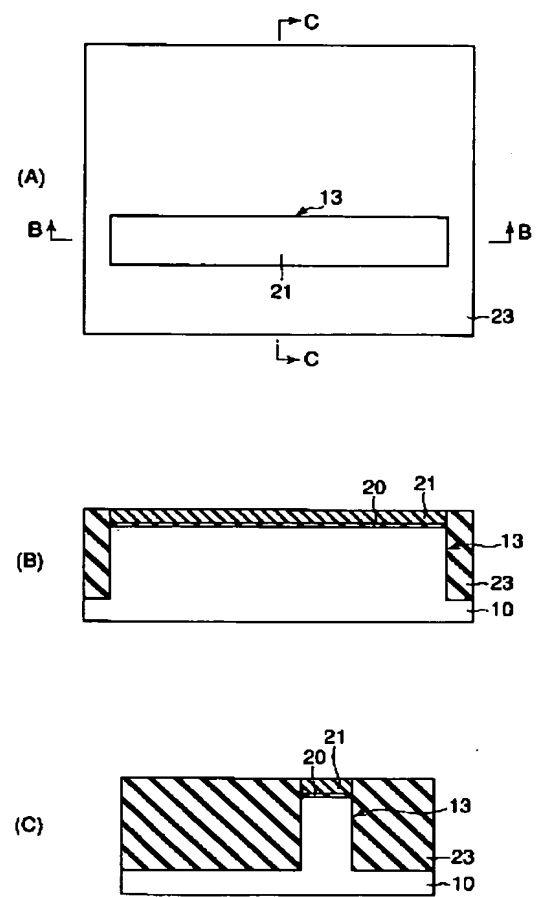
【図 81】



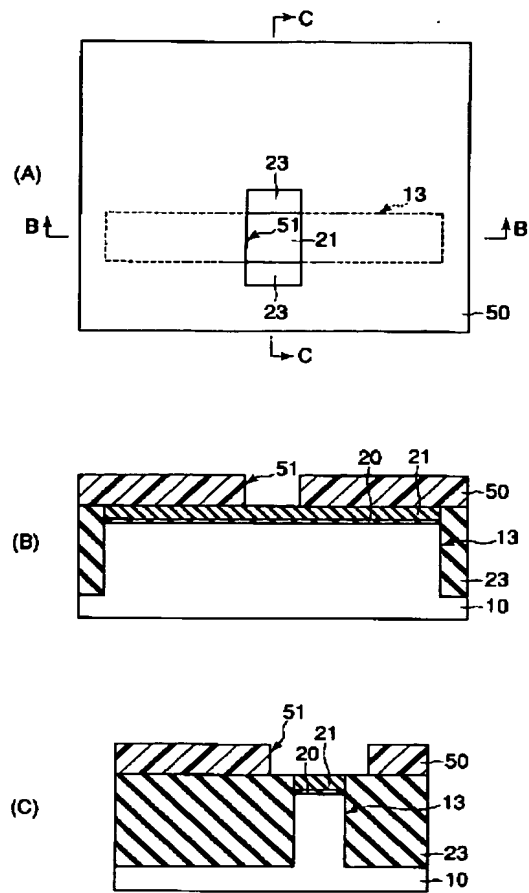
【図 69】



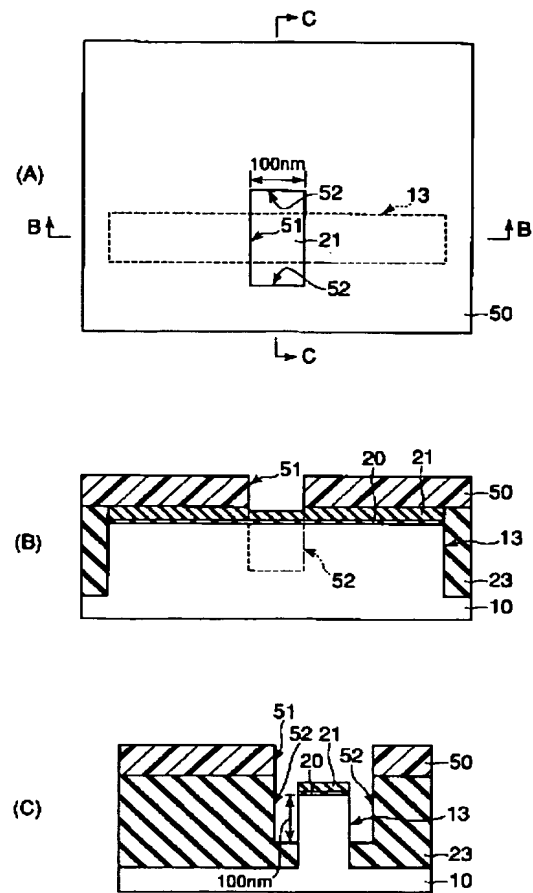
【図 70】



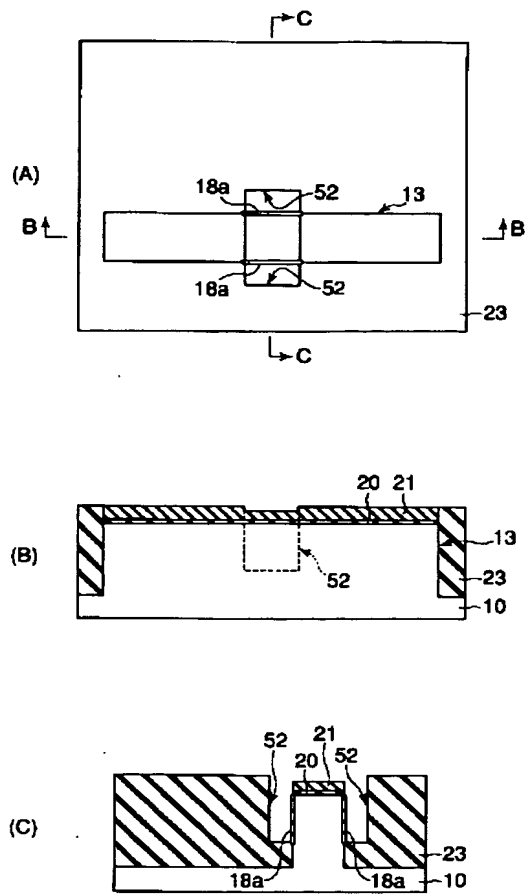
【図 7 1】



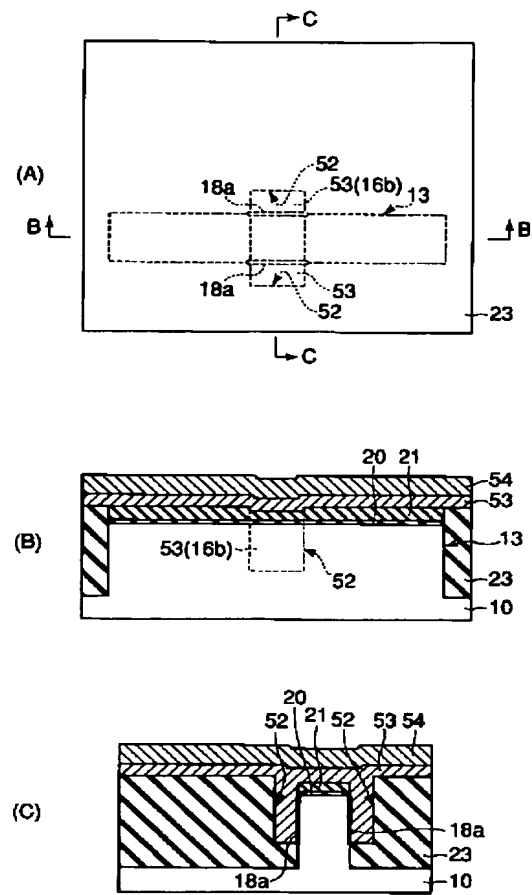
【図 7 2】



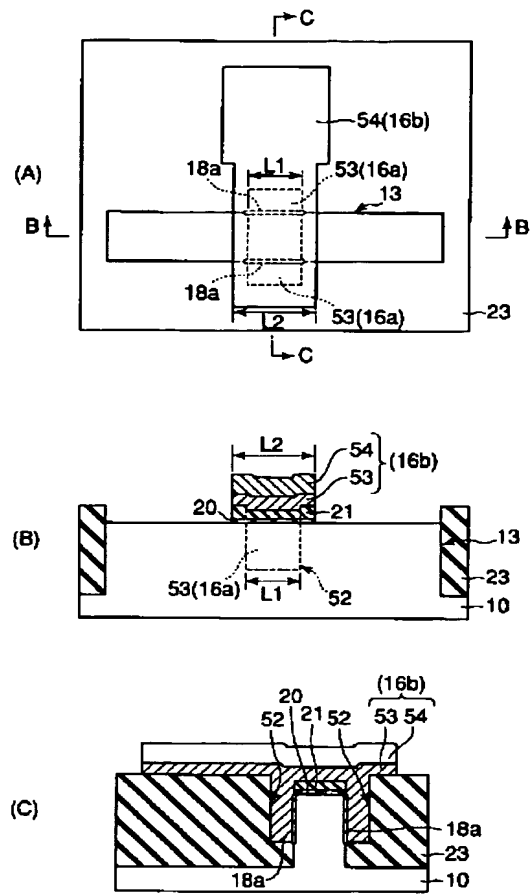
【図 7 3】



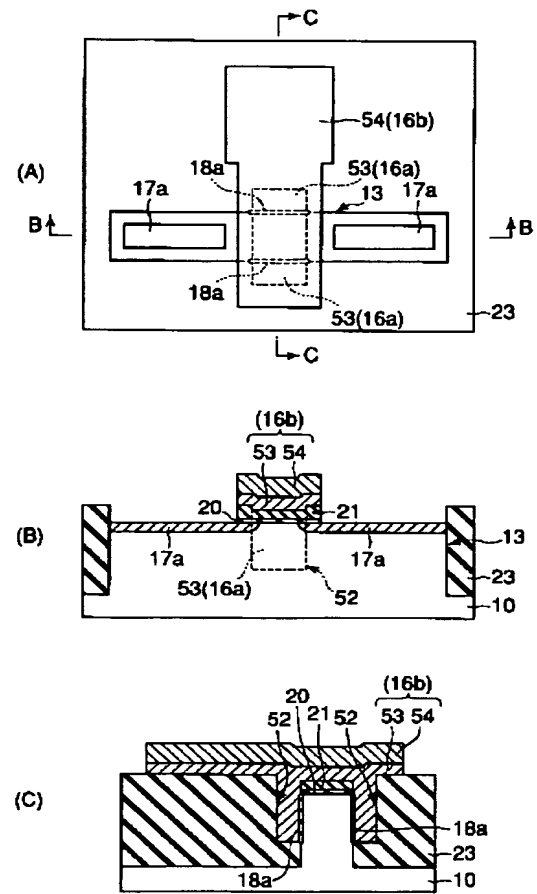
【図 7 4】



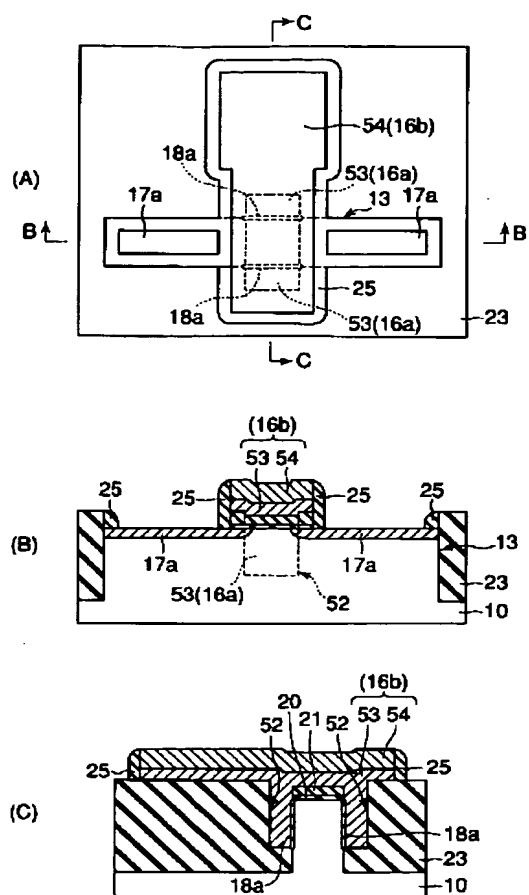
【図 75】



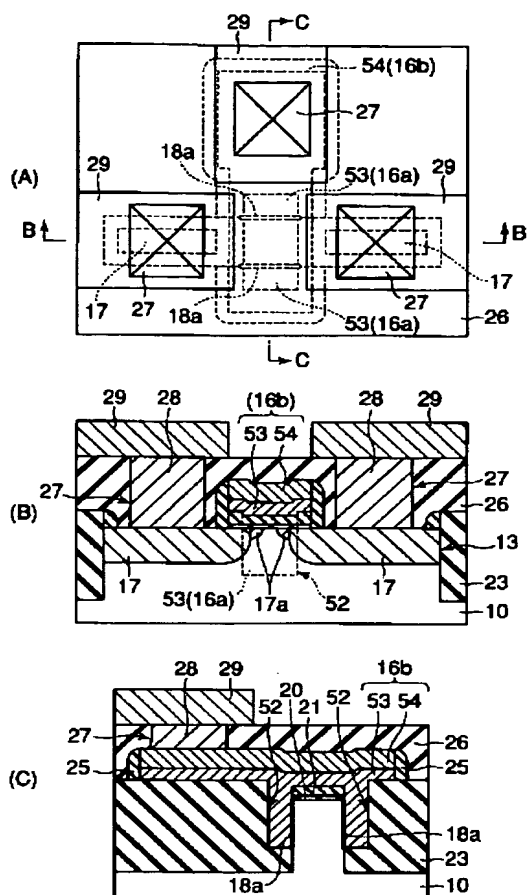
【図 76】



【図 77】



【図 78】



フロントページの続き

(51) Int. Cl.⁷

H 0 1 L 29/786

識別記号

F I

H 0 1 L 27/10

ターマコード (参考)

6 2 5 A

6 2 1 C

6 7 1 Z

6 5 1

27/08

3 2 1 E

27/10

6 7 1 C

F ターム(参考) 5F048 AA08 AC03 BA02 BB04 BB06
BB07 BB11 BB12 BB13 BC01
BC07 BD01 BD04 BD06 BD09
BE03 BF02 BF06 BF07 BG01
BG13 DA25 DA27
5F083 AD03 AD17 AD24 JA06 JA13
JA14 NA01
5F110 AA04 AA07 AA08 AA15 BB04
BB06 BB07 BB08 CC02 DD02
DD05 DD13 DD24 EE22 EE29
GG02 GG12 GG15 GG22 GG23
5F140 AA06 AA11 AA18 AB03 AB09
AC09 AC26 AC32 AC33 AC36
BA01 BA20 BB05 BB13 BB15
BC06 BC12 BC15 BD01 BD05
BD09 BD11 BD12 BD18 BE07
BE08 BF01 BF04 BF05 BF07
BF10 BF11 BF15 BF17 BF18
BF20 BF21 BF27 BF42 BF43
BF44 BF47 BF58 BG08 BG12
BG14 BG22 BG27 BG31 BG38
BG46 BG52 BG53 BH02 BH05
BH09 BH10 BH14 BH15 BH18
BH39 BH49 BJ01 BJ05 BJ07
BJ08 BJ10 BJ11 BJ17 BJ20
BJ25 BJ27 BJ28 BK02 BK10
BK13 BK21 BK26 CA03 CB04
CB08 CC03 CC12 CC19 CE07
CE20 CF00

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ ~~FADED~~ TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.